

Navodila servisna

Logične kartice terminala – KLT-T

+ dodatki na Bančni terminal.
ponovno za pričetje post

Navodila servisna

Logične kartice terminala – KLT-T

2. Tehnične lastnosti aparature

2.1. Tehnične lastnosti aparature

- 2.1.1. Napajanje in poraba
- 230 V ~ 50 Hz - 2,2 A
 - 12 V ~ 0,2 A - 2,2 W
 - 12 V ~ 0,2 A - 2,2 W
 - 12 V ~ 0,2 A - 2,2 W
- 2.1.2. Komunikacijski vmesniki
- 2.1.3. Napajanje in poraba

2.2. Procesorski del

- 2.2.1. Opis delovanja
- 2.2.2. Opis delovanja
- 2.2.3. Opis delovanja

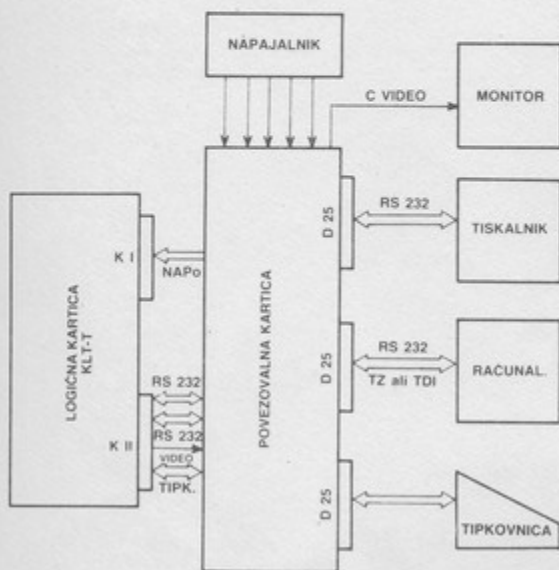


KAZALO

1. SPLOŠNI OPIS	4
2. OSNOVNE TEHNIČNE LASTNOSTI	4
2.1. Tehnične lastnosti aparature opreme	4
2.1.1. Napajanje in poraba	4
2.1.2. Komunikacijski vmesniki	4
3. OPIS DELOVANJA	5
3.1. Princip delovanja KLT-T	5
3.2. Procesorski del	5
3.2.1. Opis delovanja	5
3.3. Video del	7
3.3.1. Prikazovalni krmilnik	7
3.3.2. Video pomnilnik	7
3.3.3. Znakovni generator z video krmilnikom	7
3.3.4. Vezje za oblikovanje video signala	10
3.4. Vhodno/izhodni del	10
3.4.1. Vhodno/izhodni vmesniki	10
3.5. Razpored in opis priključkov konektorjev KLT-T	14
3.6. Povezovalna kartica in navodilo za priključitev D25 konektorjev	15
4. NAČRTI	17

1. Splošni opis

Logična plošča (KLT-T = Kartica Logična Terminala – Turbo) je del terminala, ki je vhodno/izhodna enota računalnika. S pomočjo terminala lahko podatke preko tastature vnašamo v računalnik in jih iz njega sprejemamo ter opazujemo na ekranu. Nanj lahko priključimo tudi tiskalnik, s katerim lahko izpisujemo podatke, ki jih računalnik pošlje terminalu. Na sliki 1.1. je narisana zgradba terminala, kjer lahko vidimo, kakšno vlogo opravlja KLT-T.



Slika 1.1. Zgradba terminala

KLT-T sprejme vtipkane ASCII znake (ASCII je ameriški standard za kodiranje znakov – glej TABELO A) iz tipkovnice in jih obdela kot osem paralelnih bitov. Ti znaki so potem zaporedno (bit za bitom) poslani preko glavnega RS 232C (ali TZ ali TDI) vmesnika v računalnik. Ravno tako KLT-T iz računalnika sprejema zaporedno kodirane znake in jih pretvori v paralelno obliko (osem-bitni zlogi). Komunikacija preko glavnega RS 232C vmesnika ali tokovne znake (TZ) je lahko popolna dupleksna (prenos v obe smeri hkrati) ali poldupleksna (prenos hkrati samo v eno smer). Preko TDI (Two Wire Direct Interface – je poseben komunikacijski vmesnik) je vedno poldupleksni prenos.

V primeru, da znaki iz tipkovnice ne prehajajo v računalnik, ampak so zaznani in prikazani le lokalno, je terminal v LOKALNEM načinu delovanja. V nasprotnem primeru je priključen na SISTEM. Znaki (morajo biti ASCII), ki jih logična kartica sprejme iz računalnika ali tipkovnice, se zapišejo v VIDEO POMNILNIK. To je poseben RAM pomnilnik, ki hrani vsebino slike, ki se prikazuje na ekranu monitorja. V okviru KLT-T obstaja mehanizem, ki po vrsti od začetka do konca samodejno in periodično (to je neodvisno od stanja terminala) čita vsebino tega pomnilnika. To vsebino posebna aparaturna oprema pretvori v obliko, primerno za prikazovanje na ekranu monitorja. Prikazuje se v rastrskem (TV) načinu. Na ekranu se vedno prikazuje ena stran, ki je sestavljena iz 80 ali 132 znakov in 24 vrstic.

Povezovalna kartica povezuje osnovne sestavne dele terminala v celoto:

tipkovnico, logično kartico (KLT-T), monitor, napajalnik ter komunikacijska konektorja za računalnik in tiskalnik.

Napajalnik zagotavlja napajalne napetosti za logično ploščo (+5V, +12V, -12V, +24V) in za tipkovnico (+5V).

Osnovni sestavni deli KLT-T so:

- 8085AH-1 mikroprocesor (INTEL),
- EPROM 2732 ali 2764 za programski pomnilnik in znakovni generator,
- RAM 2016P-1 za delovni in video pomnilnik,
- 2674B in 2675B prikazovalna krmilnika (SIGNETICS),
- Z80SIO serijski krmilnik in
- 8255 PPI paralelni vmesnik za tipkovnico in NVR (nepozabljajoči pomnilnik).

2. Osnovne tehnične lastnosti

2.1. Tehnične lastnosti aparaturne opreme

2.1.1. Napajanje in poraba

- +5 V +/- 5 % = 2,4 A
- +12 V +/- 5 % = 40 mA
- 12 V +/- 5 % = 30 mA
- +24 V +/- 5 % = 30 mA

2.1.2. Komunikacijski vhodi/izhodi

2.1.2.1. RS 232C/V24

Uporaba:

- sinhroni ali asinhroni prenos
- poldupleksni ali dupleksni prenos
- hitrost prenosa do 20 k baudov

ELEKTRIČNE KARAKTERISTIKE (glej nadomestno vezavo):

- breme:

- 3000 ohmov < Rb < 7000 ohmov
- Cb < 2500 pF

(bremenska upornost)
(bremenska kapacitivnost)
(bremenski napetostni generator)

Eb < 2 V

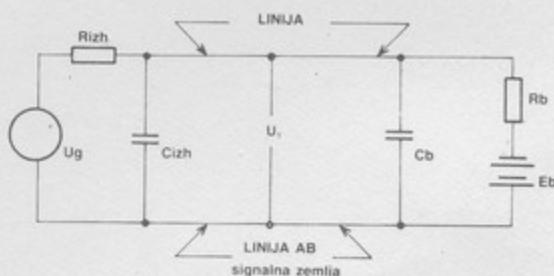
- izhod:

- Ug < 25 V
- Rizh > 300 ohmov
- 5 V < U1 < 15 V

napetost generatorja
izhodna upornost
napetost na izhodnih sponkah ni specificiran

Cizh

NADOMESTNA VEZAVA



LOGIČNI NIVOJI ZA PODATKOVNE LINIJE:

- »1« = MARK (LOGIČNA ENICA) : U1 < -3 V
- »0« = SPACE (LOGIČNA NIČLA) : U1 > 3 V

LOGIČNI NIVOJI ZA KONTROLNE LINIJE:

- IZKLOP (OFF STATE) : U1 < -3 V
- VKLOP (ON STATE) : U1 > 3 V

Logična kartica ima dva RS 232C/V24 vhodno/izhodna vmesnika:

- glavni komunikacijski vmesnik za priključitev na računalnik in pomožni komunikacijski vmesnik za priključitev na tiskalnik.

Seznam priključkov za RS 232C konektor je podan v dodatku B.

2.1.2.2. Tokovna zanka (pasivna)

- VHOD: 20 mA maksimalno (12 V)
- > 5 mA = MARK (logična ena) (4,1 V)
- < 0,5 V = SPACE (logična ničla) (1,5 V)
- 470 E = ekvivalentna vhodna impedanca
- IZHOD: 30 V maksimalno za nezaključeno vezje
- 100 mA maksimalno
- Največja hitrost prenosa je 9600 Baudov

2.1.2.3. TDI vmesnik

je vmesnik za BURROUGHS računalnike.

- »1« = MARK (logična ena): Uizh = -12 V
- »0« = SPACE (logična ničla): Uizh = 0 V
- Rizh = 1 Kohm
- Največja hitrost prenosa je 19200 Baudov.

2.1.2.4. Vmesnik za serijsko tipkovnico

- VHOD in IZHOD imata LSTTL kompatibilne tokovne in napetostne nivoje (LSTTL = Low Power Schottky TTL).
- Sinhrona komunikacija: sinhronizacijska ura je del signala.
- Hitrost prenosa je 300 Baudov.

2.1.2.5. Video izhod

- Sestavljeni (composite) video izhod
 - enosmerno zvezan,
 - 75 ohmov izhodne impedanca,
 - 1 Vpp (0,4 V je nivo črnega),
 - z ali brez interlace,
 - 50 Hz horiz. frekvenca = 15,745 kHz
vert. frekvenca = 50,1 Hz
 - frekvenca točke: 14,165 MHz/80 znakov
23,228 MHz/132 znakov
- Nesestavljeni video izhod:
 - TTL vertikalni sinhronizacijski impulzi,
 - TTL horizontalni sinhronizacijski impulzi,
 - TT1 video izhod.

3. Opis delovanja

S pomočjo blokovne sheme KLT-T bomo opisali delovanje celotne logične kartice. Nato jo bomo razdelili na tri dele:

- procesorski del,
- video del,
- vhodno-izhodni del.

Posamezne dele bomo opisali s pomočjo ustreznih blokovnih shem (B1; B2, B3 in B4) in stikalnih načrtov (list 1, list 2 in list 3). Da bi razumeli opis delovanja, moramo poznati vsaj osnove mikroračunalniške tehnike in zgradbo ter delovanje mikroprocesorja 8085.

V opis KLT-T bomo vključili tudi kratko razlago prikazovalnih krmilnikov, komunikacijskega krmilnika in paralelnega vmesnika. Natančnejši podatki posameznih LSI (Large Scale Integrated) in TTL vezja najdemo v naslednjih katalogih:

- INTEL, Component Data Catalog, 1984;
- PHILIPS, Integrated Circuits, Microprocessors, microcomputers and peripheral circuitry, 1983;
- PHILIPS, Signetics integrated circuits, Logic-TTL, specifications, 1978;
- TOSHIBA, MOS memory products, DATA BOOK, 1982.

3.1. Princip delovanja KLT-T

Na blokovni shemi B1 je narisana zgradba KLT-T, ki je enokartični mikroračunalniški sistem, zgrajen na osnovi Intelovega mikroprocesorja 8085AH-1 in perifernih krmilnikov, potrebnih za emulacijo zaslonkega terminala. Sestavljajo jo naslednje osnovne enote:

- PROGRAMSKI POMNILNIK je tipa EPROM in hrani sistemsko programsko opremo, ki jo izvaja CPE in upravlja celotno aparaturno opremo logične kartice tako, da izvaja terminalne funkcije.
- DELOVNI POMNILNIK je tipa RAM. V njem hranimo sistemske spremenljivke, komunikacijske in druge vmesne pomnilnike ter delovni sklad procesorja.
- CENTRALNA PROCESNA ENOTA (CPE) je mikroprocesor 8085AH-1, ki upravlja aparaturno opremo in koordinira prenašanje informacij in podatkov med posameznimi perifernimi krmilniki, ter med njimi in CPE.
- PRIKAZOVALNI KRMILNIK (AVDC) je programabilno integrirano vezje, ki generira signale, potrebne za prekodiranje vsebine videopomnilnika v signal, primeren za zapis na ekran monitorja.
- VIDEOPOMNILNIK (VP) pomni vsebino ekrana v ASCII kodih. Vsakemu znaku na ekranu ustreza vsebina ene pomnilniške lokacije v VP.
- Neposreden dostop do njega ima samo AVDC, medtem ko ga CPE lahko dosega samo s pomočjo AVDC >.
- ZNAKOVNI GENERATOR (CHG), vsebuje kode znakov, primernih za prikaz na zaslonu.
- VIDEO KRMILNIK (CMAC) je integrirano vezje, ki izhodne signale AVDC in CHG pretvori v video signal za monitor.
- VMESNIK ZA TIPKOVNICO omogoča priključitev tipkovnice na KLT-T preko dveh TTL signalov. En signal omogoča prenos serijsko kodiranih znakov s tipkovnice v logično ploščo, drugi signal pa z logične plošče v tipkovnico.
- VMESNIK ZA NVR omogoča, da lahko procesor zapiše podatke v NVR (Non Volatile RAM - nepozabljajoči pomnilnik). Te

podatke želimo ob izklopu terminala ohraniti, ker predstavljajo nastavitvene parametre terminala.

- PROGRAMABILNO ČASOVNO VEZJE omogoča programsko nastavitve hitrosti prenosa podatkov (v računalnik). Hitrost je merjena v BAUDI.
- SERIJSKI KOMUNIKACIJSKI KRMILNIK v enem integriranem vezju združuje dva krmilnika. To je programabilna naprava, ki pretvarja paralele kode (8 bitov) iz sistemkega vodila v serijsko kodirane znake, ki so po eni žici poslani preko RS 232C vmesnika v računalnik ali tiskalnik. V obratni smeri pa pretvori serijsko kodirane znake v paralelne kode, ki so procesorju po sistemskem vodilu posredovane v obdelavo.

Terminal lahko deluje na dva načina: LOKALNO ali priključen na SISTEM. Kadar je v lokalnem načinu iz računalnika ne sprejema nobenih podatkov. Vsi znaki, ki jih odtipkamo na tipkovnici, so obdelani lokalno. Če so grafični znaki (črke, številke ali posebni znaki), se v video pomnilnik zapiše tako, da se lahko prikažejo funkcije (glej navodila za uporabo).

Kadar je terminal priključen na SISTEM, so vsi znaki, ki jih odtipkamo na tipkovnici, poslani v računalnik. Znaki, ki jih pošlje računalnik v terminal, pa so obravnavani na enak način kot znaki v načinu LOKALNO.

3.2. Procesorski del

3.2.1. Opis delovanja

Procesorski del je narisano v stikalnem načrtu na listu 1 in v blokovni shemi B2.

Sestavljajo ga:

- centralna procesna enota (CPE) 8085AH-1,
- vmesniki sistemkega vodila,
- sistemsko vodilo,
- programski pomnilnik (EPROM) in
- delovni pomnilnik (RAM).

CPE je Intelov splošnonamenski mikroprocesor 8085AH-1, ki poleg izvajanja nabora ukazov tudi interno generira sistemsko uro, izvaja kontrolo sistemkega vodila in izbira prekinitveno prioriteto. Notranja zgradba, ki jo bomo na kratko opisali, je narisana na sliki 3.1.

CPE prenaša podatke po 8-bitnem dvosmernem in trostranskem (vhod, izhod in visokoiimpedančno stanje) vodilu (AD0-7). To vodilo je časovno multipleksirano tako, da generira še osem nižjih naslovnih bitov.

Dodatno procesor generira še osem višjih (A8-15) naslovnih bitov, da lahko naslavlja 64 k zlogov (bytov) zunanje pomnilnika. S kontrolnimi linijami (RD/, WR/, S0, S1 in IOM) (*) procesor izbira zunanje naprave in funkcije za čitanje ali vpisovanje ter izbira pomnilnik ali I/O vrata.

* OPOMBA: Signal s črtico (RD/) je aktiven na nizkem nivoju.

Sistemsko vodilo sestavljajo signali:

- naslovnega vodila AB0 - AB15,
- podatkovnega vodila DB0 - DB7 in
- signali kontrolnega vodila MEMRB/, MEMWB/, IORB/, IOWB/, RESETB IN INTAB/.

Med procesorjem in temi signali so posebni vmesniki (buffer), ki povečajo obremenljivost teh izhodov oziroma vhodov. Vsi ti vhodi/izhodi so TTL združljivi.

A0BUF (IC6 - 74LS244) je vmesnik naslovnih linij AB8 - AB15. A0BUF (IC7 - 47LS374) je vmesnik in hkrati zapah za naslovne linije > AB0 - AB7. Ker so signali A0 - A7 časovno multipleksirani s signali D0 - D7, jih moramo s signalom ALE izločiti iz signalov AD0 - AD7.

Naslovno vodilo sestavlja torej šestnajst naslovnih linij in lahko naslavlja 65536 (64 k) pomnilniških lokacij. Dosegamo lahko še 256 vhodno/izhodnih lokacij, ki so ločene od pomnilniških lokacij.

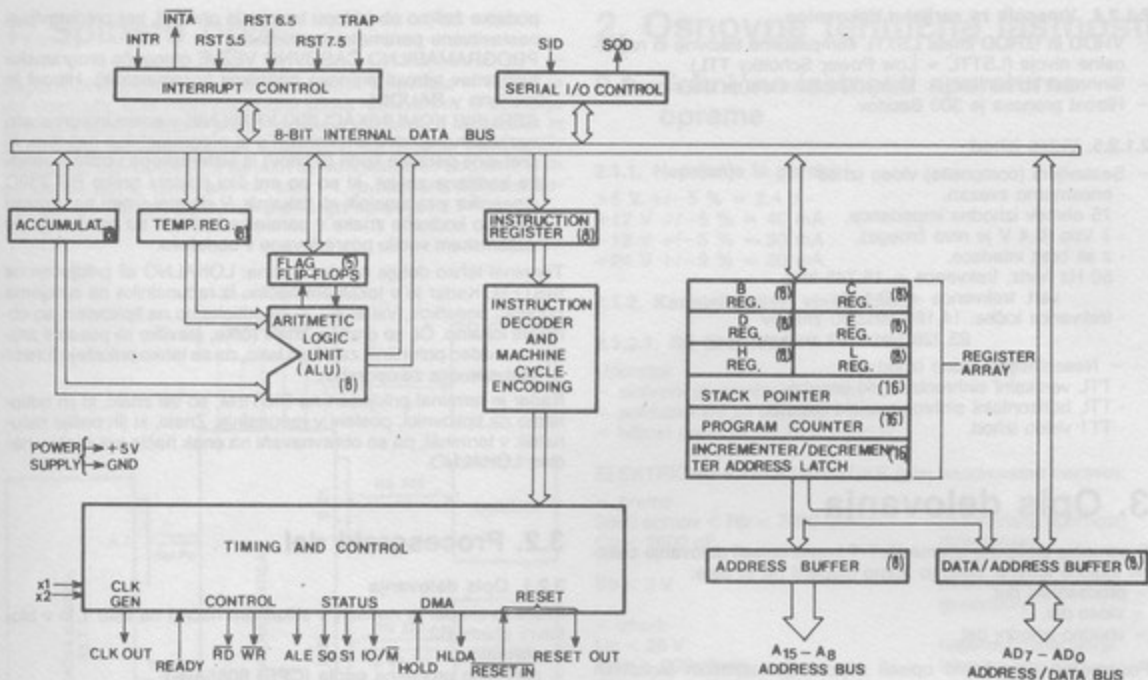
Pri nastavljanju V/I lokacij procesor naslovne linije generira tako, da so AB0 - AB7 enake signalom AB8 - AB15.

DBUF (IC8 - 74LS245) je dvosmerni vmesnik podatkovnih signalov DB0 - DB7.

S signalom RD/ spreminjamo smer pretoka podatkov v procesor (RD/= »0«) ali iz njega (RD/= »1«). Podatkovno vodilo je torej dvosmerno in se po njem prenašajo podatki v naslovljeno pomnilniško lokacijo ali V/I enoto in v obratno smer.

CBUF (IC9 - 74LS138 in IC10 - 74LS125) je vmesnik kontrolnih signalov.

IC9 dekodira signale IOM/, RD/ in WR/ v MEMR/, MEMW/, IOR/ in IOW/, ki so preko vmesnika IC 10 povezani na sistemsko vodilo.



Slika 3.1. Notranja zgradba mikroprocesorja 8085AH-1.

Čitanje pomnilniških lokacij izvaja procesor tako, da generira naslov na naslovnom vodilu in tako izbere pomnilniško lokacijo, nato pa signal MEMRB/ (Memory Read) postavi na nizek nivo in iz izbrane lokacije 8-bitni podatek dostavi v procesor. Vpisovanje v pomnilniške lokacije izvaja procesor tako, da generira naslov na naslovno vodilo (izbere pomnilniško lokacijo), prenese podatek iz notranjosti procesorja na podatkovno vodilo in nato postavi signal MEMWB/ (Memory Write) na nizek nivo in podatek se vpiše v izbrano pomnilniško lokacijo. Signala MEMRB/ in MEMWB/ se medsebojno izključujeta in hkrati ne moreta biti oba aktivna, to je na nizkem nivoju, ker ne moremo hkrati vpisovati in čitati pomnilnika. Vpisovanje in čitanje vhodno/izhodnih lokacij se izvaja na enak način, le da v tem primeru to funkcijo kontrolirata signala IORB/ (Input/ Output Read) in IOWB/ (Input/Output Write).

Signal RESETB je ojačani izhod procesorja. Generira se ob vklopu terminala in periferne krmilnike, s katerimi je povezan, postavi v osnovno stanje.

Signal INTAB/ je povezan z vezjem za prekinitevni vektor (glej opis vhodno/izhodnega dela).

SID je serijski enobitni vhod v procesor, SOD pa je serijski enobitni izhod.

Signal BUSEN/ je stalno na nizkem nivoju in so zaradi tega vmesniki systemskega vodila vedno omogočeni.

Med kontrolne signale štejemo tudi signale HOLD, HLDA in READY, ki jih na KLT-T nismo uporabili.

Trenutno izvajani program lahko prekine eden izmed petih virov prekinitev:

- prikazovalni procesor AVDC s signalom AVDCINT, ki je zvezan z RST7.5;

- komunikacijski procesor SIO s signalom SIOINT, ki je zvezan z INTR;
- procesor tipkovnice s signalom KBDINT, ki je zvezan z RST6.5;
- zunanji izvor prekinitev je povezan z RST5.5 in ga v osnovni verziji KLT-T nismo uporabili;
- prav tako nismo uporabili prekinitveni vhod TRAP.

Kadar procesor dobi signal prekinitev, izvede trenutni izvajani ukaz do konca in preskoči na prekinitevno rutino, določeno z virom prekinitev. Prekinitevna rutina servisira napravo, ki je sprožila prekinitev, in se vrne nazaj v glavni program.

Naslednji podsklop procesorskega dela je programski pomnilnik. Sestavlja ga:

- štirje EPROM, ki so lahko tipa 2716, 2732 ali 2764 (IC11, IC12, IC13 in IC14),
- vezje za izbiro tipa EPROM (SW),
- dekodek EPDEC (IC15).

V stikalnem načrtu so nožice EPROM označene za tip 2764 in zato te številke ne veljajo za tipa 2716 in 2732, ko moramo od njih odšteti število 2. Na primer:

nožica s številko 10 (A0) je pravilno označena za tip 2764, za tipa 2732 in 2716 pa je v resnici to nožica 8.

Vezje SW so žične prevezave P1 in P2, ki jih povežemo ustrezno tipu EPROM.

Vezje EPDEC je 1 iz 8 dekodek, ki generira signale za izbiro posameznih EPROM. Ti signali so štirje: E0, E1, E2 in E3. Aktivni so na nizkem nivoju, kar pomeni, da EPROM izberejo takrat, kadar je nivo signala 0V. E0, E1, E2 in E3 ter se medsebojno izključujejo in določajo pomnilniški prostor, v katerega so EPROM postavljeni. V odvisnosti od postavljenih prevezav SW so lahko ti prostori različno veliki, tako kot kaže tabela 3.1.

TABELA 3.1.

TIP	VSTAVLJENE PREVEZAVE		NASLAVLJANJE			
	P1	P2	IC11	IC12	IC13	IC14
2716	1-2, 3-4, 5-6 8-9, 12-13, 16-17	1-2, 5-6	0000H- 07FFFH	0800H- 0FFFFH	1000H- 17FFFH	1800H- 1FFFFH
2732	2-3, 4-5, 6-7 8-9, 11-12, 15-16	5-8, 1-4	0000H- 0FFFFH	1000H- 1FFFFH	2000H- 2FFFFH	3000H- 3FFFFH
2764	2-5, 4-7, 6-9 8-10, 11-12, 15-16	5-8, 1-4	0000H- 1FFFFH	2000H- 3FFFFH	4000H- 5FFFFH	6000H- 7FFFFH

Razlaga tabele 3.1.:

- v kolonah pod VSTAVLJENE PREVEZAVE so vpisane številke priključkov, ki morajo biti povezani s P1 in P2 za različne tipe ERROM,
- v kolonah pod NASLAVLJANJE so vpisana naslovna področja za posamezna pomnilniška vezja (IC11, IC12, IC13 in IC14), če uporabimo različne tipe EPROM.

Na programski pomnilnik je povezan signal MEMRB/ zato, da lahko procesor samo čita iz njega, ne more pa vanj vpisovati. Naslovne linije določajo lokacijo, iz katere procesor čita 8-bitni podatek po podatkovnih linijah.

Tretji podsklop procesorskega dela je RAM (Random Access Memory) pomnilnik. To je bralno-vpisovalni pomnilnik z naključnim dostopom, ki smo ga uporabili za delovni pomnilnik procesorja in vmesne pomnilnike za servisiranje posameznih perifernih krmilnikov. Sestavljajo ga:

- tri pomnilniška integrirana vezja (IC16, IC17 in IC18)
- dekodirno vezje RAMDEC (IC19).

Pomnilniška integrirana vezja so tipa TMM2016P, velikosti 2048 x 8 bitov. Vanj lahko procesor vpisuje ali pa čita iz njega 8-bitne podatke po podatkovnih linijah tako, da generira naslov na podatkovnih linijah.

Signal MEMWB/ določa ali se podatek čita (visok nivo) ali vpisuje (nizek nivo) v izbrano lokacijo.

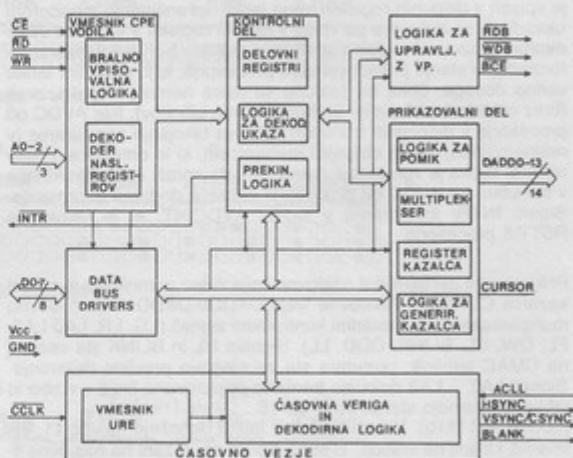
Vhodi v vezje RAMDEC so naslovne linije AB11, AB12, AB13, AB14 in AB15, ki določajo na katerih naslovih se generirajo izhodi tega dekodirja in generirajo samo pri vpisovanju in čitanju pomnilnika. Ti izhodi so aktivni pri naslavljanju naslednjih pomnilniških lokacij:

- R8000 --> 8000H do 87FFH,
- R8800 --> 8800H do 8BFFH,
- R9000 --> 9000H do 97FFH.

Poleg tega generira tudi naslovne signale DAD0-DAD13, ki naslavlja video pomnilnik in tako zagotavljajo prenos informacije iz video pomnilnika na zaslon TV monitorja.

Notranjo zgradbo tega vezja bomo opisali s pomočjo slike 3.2., kjer je narisana njegova blokovna shema. Zunanje signale AVDC vezja lahko razdelimo na dva dela:

- signali za povezavo s procesorjem (CPE) in
- signali za izvajanje prikazovalnih funkcij.



Slika 3.2. Notranja zgradba AVDC.

Notranji del prikazovalnega procesorja sestavljajo:

- vmesnik CPE vodila,
- kontrolni del,
- časovno vezje,
- logika za upravljanje z video pomnilnikom in
- prikazovalni del.

Z bralno/vpisovalno logiko so povezani signali, preko katerih procesor kontrolira doseganje notranjih registrov. Na CE/ vhod je vezan AVDC/ izhod dekodirnega vezja IODEC (IC26 - 74LS138), ki se generira, ko procesor izvaja IN ali OUT ukaz na V/I naslovih 80H-87H. To je torej izbirni signal procesorskega dela, s katerim CPE izbere AVDC, kadar ga hoče doseči. S signalom RD/ in WR/ pa procesor izbere vpisovanje ali čitanje AVDC notranjih registrov. RD/ je vezan na IORB/, WR/, pa na IOWB/. Naslovne linije AB0, AB1 in AB2 določajo, katerega izmed sedmih notranjih registrov dosega procesor. Naslov se dekodira v dekodirju naslova registrov. Podatkovni vmesnik je dvosmerni in se preko njega vpisuje ali čita podatki (DB0 - DB7). Podatkovne linije D0 - D7 so na sistemsko vodilo (DB0 - DB7) vezane preko zunanega dvosmerne vmesnika (AVDCBUF - IC21, 74LS245). Dodati smo ga morali zato, da procesor ne moti dostavljanja naslovne tabele video pomnilnika, ki si jo AVDC dostavlja na začetku prikazovanja vsake vrstice (25-krat v eni sliki). Tabela se dostavlja iz znakovnega dela video pomnilnika (linije VCHD0 - VCHD7) preko enosmerne vmesnika RTBUF in podatkovnih linij D0 - D7 v registre AVDC.

Dostavljanje tabele naslovov VP (video pomnilnika) kontrolira signal RTF/. Ta signal se izloči iz signala CURS v vezju RTFSEP. To vezje sestavlja IC20 (74LS74) in ena vrata IC54 (74LS00). Za svoje delovanje potrebuje prikazovalni krmilnik urni signal CCLK/, ki se generira v CMAC vezju. Časovno vezje AVDC krmilnika oblikuje signale, ki so potrebni za njegovo pravilno delovanje in hkrati generira:

- horizontalni sinhronizacijski impulz HSYNC,
- vertikalni sinhronizacijski impulz VSYNC, ki ga lahko uporabimo tudi kot sestavljeni sinhronizacijski impulz CSYNC (če tako inicializiramo AVDC,
- zamračilni signal video signala BLANK.

Vse tri signale uporabimo v vezju za oblikovanje sestavljenega video signala, BLANK signal pa mora biti vezan še na CMAC vezje. Signal ACCL lahko uporabimo za zunanjo sinhronizacijo prikazovanja, ki pa jo v VT100 aplikaciji nismo uporabili.

Kontrolni del je osrednji del prikazovalnega procesorja in določa njegov način delovanja:

- število znakov na vrstico 1 do 256,
- število linij na vrstico 1 do 16,
- število vrstic na sliko 1 do 128,
- interlace ali ne-interlace,
- velikost video pomnilnika 0 do 64 k (vedno 4k + 4k za znake in attribute),

3.3. Video del

Stikalni načrt video dela je narisana na listu 2, blokovna shema pa na listu B3. Razdelimo ga lahko na naslednje logične celote:

- prikazovalni procesor AVDC (Advanced Video Display Controller) s podatkovnim vmesnikom (AVDCBUF).
- video pomnilnik (CVRAM in AVRAM) z zapahi za povezavo s procesorjem
- znakovni generator (CHG) z video krmilnikom CMAC (Color Monochrome Attribute Controller),
- vezje za oblikovanje video signala (VFORM),
- register signala svetlobnega peresa (LTLCH),
- IODEC.

Osnovna ura tega dela KLT-T je CCLK/, ki je znakovna ura prikazovalnega procesorja. Generira se iz točkovne ure (DCLK) v video krmilniku.

Osnovni oscilator za DCLK smo realizirali diskretno z OSC1 (23.228 MHz) in OSC2 (14.165 MHz). Dva oscilatorja sta potrebna zaradi dvojnega formata prikazovanja: 80 stolpcev na vrstico (OSC1) in 132 stolpcev na vrstico (OSC2). AVDC generira časovne signale za oblikovanje video signala, ki krmili TV monitor.

Ti signali so razdeljeni na kontrolne signale za CMAC (HSYNC, VSYNC, CURSOR, BLANK, UL in BLINK) ter naslovne signale (DAD0 - DAD13), s katerimi AVDC naslavlja video pomnilnik. V video pomnilniku so v ASCII kodah zapisani znaki (CVRAM) in atributi (AVRAM), ki se s pomočjo znakovnega generatorja in video krmilnika pretvorijo v serijo točk, primernih za prikazovanje na ekranu TV monitorja. Prikazovalni procesor je programabilna naprava in generira omenjene signale vsebinski lastnih notranjih registrov ustrezno. Te registre lahko procesor dosega preko dvosmerne podatkovne vmesnika AVDCBUF. Lahko jih čita ali vpisuje in tako nadzoruje način prikazovanja slike na zaslonu. Video pomnilnik lahko procesor doseže le s pomočjo prikazovalnega procesorja preko zapahov CLCH in ALCH. Podatkovni izhodi video pomnilnika VCHD0 - VCHD7 in VATD0 - VATD7 so paralelni in se preko CHG (EPROM) in CMAC vezja pretvorijo v dva video signala TTLV1 in TTLV2, ki sta na TTL napetostnih nivojih. Ta dva signala se v vezju za oblikovanje video signala VFORM preoblikujeta skupaj s sinhronizacijskima signaloma HSYNC in VSYNC v sestavljeni (COMPOSITE) video signal (CVIDEO). S signalom KONTR lahko reguliramo nivo kontrasta tako, da ostane nivo črne nespremenjen.

3.3.1. Prikazovalni krmilnik AVDC

Prikazovalni krmilnik je LSI vezje SCN 2674 (IC27), ki ga proizvaja firma Signetics. Narejen je tako, da ga lahko uporabimo za kontrolo prikazovanja slike v CRT (Cathode Ray Tube) terminalih, ki delujejo v TV rasterskem načinu. AVDC generira vertikalne in horizontalne časovne signale, potrebne za prikazovanje slike v interlace in ne-interlace načinu na zaslonu monitorja.

- tip kazalca (utripajoč, neutripajoč, podčrtan ali blok),
- skokovit, gladki in delni pomik vsebine zaslona,
- dvojna višina in širina,
- tabelarčen ali običajen način delovanja (vedno je tabelarčen)

Vse našteje funkcije lahko programsko nastavimo ob inicializaciji in jih med delovanjem tudi spreminjamo. V VT100 aplikaciji je število znakov na vrstico lahko 80 ali 132. število linij na vrstico je vedno 12, število vrstic na ekran pa je vedno 24. Način delovanja je vpisan v delovnih registrih in ga lahko spreminjamo z naborom ukazov, ki se dekodira po vpisu v ukazni register v logiki za dekodiranje ukazov. V registru stanj je v vsakem trenutku vpisana informacija o stanju prikazovalnega procesorja, ki jo procesor lahko vedno dosega. Slika na zaslonu se mora nemoteno prikazovati (brez odvečnih »bliskanj« in drugih vidnih učinkov). Ker AVDC od procesorja v določenih trenutkih zahteva takojšnje servisiranje (v realnem času), mora obstajati mehanizem, ki to omogoča. Prekinitvena logika je vgrajena z namenom, da sproži signal prekinitev v trenutku, ko AVDC od procesorja zahteva dodatne informacije. Signal INTR/ invertiramo v signal AVDCINT, ki je vezan na RST7.5 procesorja.

Prikazovalni del generira naslovne linije video pomnilnika in signal kazalca CURSOR. Naslovne linije DADD0-DADD13 so časovno multipleksirane z nekaterimi kontrolnimi signali (LG, LR, LA0-LA3, FL, DW, UL, BLINK, ODD, LL). Signala UL in BLINK sta vezana na CMAC krmilnik; potrebna sta za njegovo pravilno delovanje. Signali LA0 - LA3 določajo trenutno prikazovano linijo v vrstici in lahko zavzamejo stanja od 0 do 15. (scan linija) (0000b - 1111b). V naši aplikaciji lahko dosežejo največ 11, ker imamo 12 linij na vrstico. Ti štirje signali so vezani na naslovne linije znakovnega generatorja (CHG): Signal LL je aktiven v času prikazovanja zadnje linije v vrstici. Procesor lahko programsko testira stanje tega signala preko vezja LLLCH, ki ga sestavlja en del IC40 (74LS74) in en del IC41 (74LS125). Kadar je ta signal na visokem nivoju, procesor ne sme dosegati AVDC krmilnika, ker je takrat rezerviran za dostavo tabele iz video pomnilnika. Preostalih multipleksiranih signalov nismo uporabili. Ti signali se demultipleksirajo s pomočjo LSTROBE/signala, ki se oblikuje z delom IC36 (74LS74).

Logika za upravljanje z video pomnilnikom poskrbi, da ga AVDC pravilno doseže.

Generira tri signale:

- WDB/ je aktiven na nizkem nivoju in omogoči čitanje znaka iz CLCH in atributov iz ALCH ter vpis le-teh v video pomnilnik,
- RDB/ prenese znak iz CVRAM v CLCH ter attribute iz AVRAM v ALCH,
- BCE/ je aktiven (nizek nivo) v času prikazovanja slike in omogoča čitanje vsebine video pomnilnika, ki se na ta način prenese na vhod znakovnega generatorja in CMAC krmilnika.

3.3.2. Video pomnilnik

Na KLT-T je skupno 8k (zlog je 8 bitov) video pomnilnika, ki je razdeljen na dva dela CVRAM in AVRAM. CVRAM je sestavljen iz dveh RAM pomnilniških vezij IC32 in IC33, ki sta tipa TMM 2016 in velikosti po 2K zlogov. Skupaj imamo torej 4k zlogov znakovnega video pomnilnika.

AVRAM je ravno tako sestavljen iz dveh RAM pomnilniških vezij IC 34 in IC35. Procesor lahko CVRAM doseže preko dvojnega zapaha CLCH in AVRAM preko ALCH. Dvojni zapah za doseganje znakovnega dela VP sta osembitna TTL D-registra 74LS374 (IC28 in IC29). Procesor ju lahko doseže na pomnilniški lokaciji F000. Dekoder VLCHDEC (IC33 - 74LS138) je na vhodu (AB0, AB1, AB13, AB14 in AB15) zvezan tako, da so izhodi 7, 9, 10 in 11 aktivni (nizek nivo), kadar procesor naslavlja lokacije:

- FXX0/ --> F000H (šestnajstiško)
- FXX1/ --> F001H,
- FXX2/ --> F002H
- FXX3/ --> F003H.

Signal FXX0/ je skupaj s signalom MEMWB/ vezan na ALI vrata IC25 (74LS32). Tako tvorjen signal je vezan na CLK vhod IC28 in z njim lahko procesor vpisuje znake v ta zapah. Znak (ASCII), ki ga hočemo prikazati na ekranu, vedno najprej vpišemo v ta zapah in nato damo ukaz AVDC krmilniku, da ga s pomočjo signala WDB/ vpiše na določeno lokacijo v VP. Znake, ki smo jih vpišali, lahko tudi čitamo na isti pomnilniški lokaciji tako, da damo najprej ukaz AVDC krmilniku, da znak iz določene lokacije v VP vpiše v zapah IC29, iz katerega pa lahko sedaj procesor s pomočjo signala FXX0/ in MEMR/ isti znak prečita na lokaciji F000H. Enako

je zgrajeno tudi ALCH vezje, le da je postavljeno na pomnilniško lokacijo F001H (izhod FXX1/, IC23).

Vidimo, da so prikazovalni atributi:

- obratni video (ARVID),
- utripajoči (ABLINK),
- podčrtani (AUL),
- osvetljeni (AHILT),
- dvojna širina (ADW),
- dodatni nabor znakov (ASCHSET),
- semigrafični (AGRAF) in
- zatemnjeni (ABLANK)

ločeni (paralelni) od znakovnega dela VP in vezani neposredno na CMAC krmilnik, zaradi česar ima lahko vsak znak svoj atribut (paralelni atributi). V VT100 aplikaciji smo uporabili samo naslednje attribute: ARVID, ABLINK, AUL, AHILT, ADW in AGRAF. Natančneje bomo delovanje signalov atributov in znakov opisali v naslednjem poglavju.

3.3.3. Znakovni generator z video krmilnikom

Najprej bomo opisali, na kakšen način se prikazujejo znaki na ekranu monitorja. Sam princip prikazovanja je enak kot v primeru KLT, kjer smo uporabili drug prikazovalni krmilnik (Intel 8275). V obeh primerih se slika prikazuje v TV rastrskem načinu in je sestavljena iz 288 linij in 24 vrstic. Ena vrstica je torej sestavljena iz 12 linij. AVDC krmilnik generira štiri signale (LA0 - LA3), ki štejejo linije znotraj ene vrstice (od 0 do 11) in izbirajo vsebino v znakovnem generatorju, ki ustreza trenutno prikazanemu znaku. Proces prikazovanja ene vrstice je narisano na sliki 3.3.

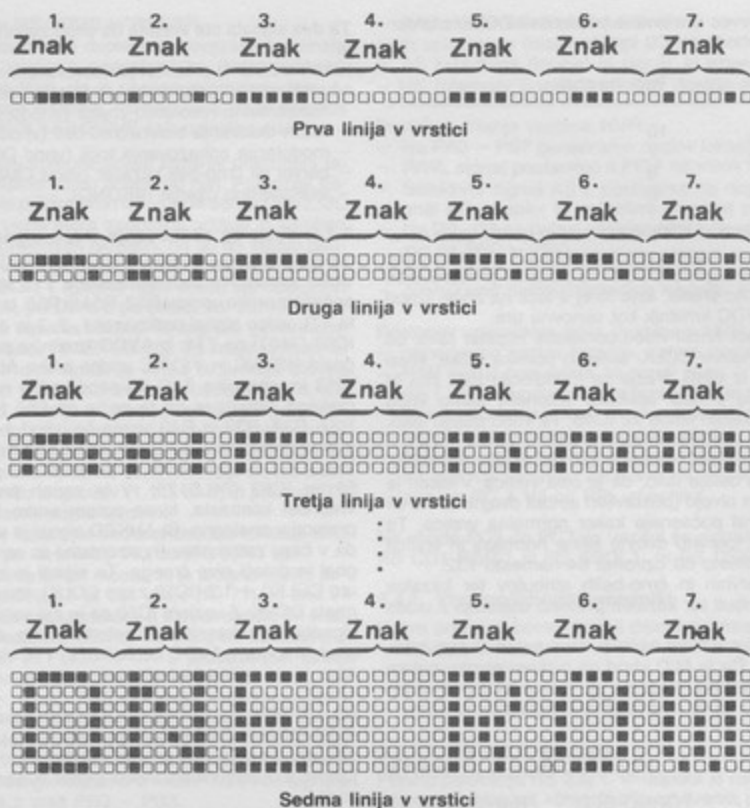
Celotno vertikalno periodo sestavlja 311 linij. Sliko (vidni del) sestavlja $24 \times 12 = 288$ linij, prištetih moramo še 23 linij, ki se generirajo v vertikalnem zatemnilnem času. Na sliki 3.3. vidimo, kako se znaki v vrstici sestavijo iz točk in linij. Vsak znak se zariše v matriki 7×9 točki (7 po horizontalni in 9 po vertikalni) in to znotraj bloka, ki je velik 9×12 točk. To pomeni, da sta po horizontalni dve točki, po vertikalni pa tri linije, vedno temne in predstavljajo razmik med znaki (dve točki) oziroma vrsticami (tri linije). To pa ne velja za posebne znake in semigrafične znake, ki zapolnijo cel blok 9×12 (glej operaterjev priručnik - Tabela posebnih znakov).

Znaki, ki se prikažejo na ekranu, so kodirani v znakovnem generatorju CHG (EPROM 2732). Naslovne linije znakovnega generatorja A0 - A11 so sestavljene takole:

A10 A9 A8 A7 A6 A5 A4 /	A3 A2 A1 A0
(VCHD0 - VCHD7)	(LA0 - LA3)
(naslov znakov)	(naslov linij)

Signali naslova linij so vezani na CHG preko 4-bitnega zapaha IC42 (74LS175) tako, da signal LSTROBE/ demultipleksira in zapahne v ta zapah signale LA0 - LA3 iz signalov DAD4 - DAD7. Na izhodu zapaha je tako naslov linije, ki je stabilno prikazan, ves čas, ko linija traja, spreminja pa se v času ene vrstice od 0 do 11 (12 linij na vrstico). Naslov znakov je vezan na CHG preko 8-bitnega zapaha IC44 (74LS374). Ura tega zapaha je CCLK (nožica 11), ki samo zakasni naslovne linije za čas enega znaka in na ta način uskladi signale AVDC in CMAC. Iz tega vidimo, da naslovi linij izbirajo posamezne lokacije iz skupine šestnajstih lokacij znotraj EPROM, vendar od tega štiri lokacije niso izkoriščene.

Na zgornjih sedem naslovnih linij (A4 - A10) pa se prenese ASCII vsebina video pomnilnika. Te naslovne linije se dinamično spreminjajo v času vsake linije od prvega znaka na začetku linije (vrstice) do zadnjega znaka, odvisno od vsebine slike. Z njimi se naslavljuje bloki šestnajstih lokacij, kjer je kodiran celoten znak. Naslovna linija A11 izbira med dvema polovicama znakovnega generatorja: v prvem so USASCII (ameriški ASCII nabor) in linijska grafika po VT100 standardu, v drugem pa je pomožni nabor znakov: YUASCII in semigrafični znaki. A12 uporabljamo samo, če je priključen dodatni znakovni generator, ki ga realiziramo z EPROM 2764. Na sliki 3.4. je narisano, kako se na zaslonu prikaže znak »A«, sestavljen iz točk, in kakšna je ustreza vsebina EPROM. Logična ena »1«, zapisana v znakovnem generatorju pomeni, da se na ekranu prižge ena točka. Znak A je kodiran na lokacijah 410H do 41FH. »41« je ASCII koda za znak A. (Številka »3« je npr. na lokacijah 330H do 33FH, ker je njena ASCII koda »33«). V enem EPROM tipa 2732 lahko zapišemo kodo za $4096/16 = 256$ ASCII znakov.



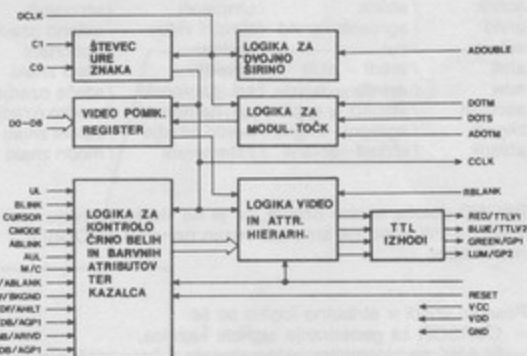
Slika 3.3. Proces prikazovanja ene vrstice.

	CC = 41H = = 100 0001b		Vsebina v EPROM	
			Naslov	Vsebina
LA = 0000b = 0h	410h	00000000	= 00h
LA = 0001b = 1h	... a	411h	00010000	= 10h
LA = 0010b = 2h	.. a . a	412h	00101000	= 28h
LA = 0011b = 3h	. a . a . a	413h	01000100	= 44h
LA = 0100b = 4h	a a	414h	10000010	= 82h
LA = 0101b = 5h	a a	415h	10000010	= 82h
LA = 0110b = 6h	a a a a a a a	416h	11111110	= FEh
LA = 0111b = 7h	a a	417h	10000010	= 82h
LA = 1000b = 8h	a a	418h	10000010	= 82h
LA = 1001b = 9h	a a	419h	10000010	= 82h
LA = 1010b = Ah	41Ah	00000000	= 00h
LA = 1011b = Bh	418h	00000000	= 00h

Slika 3.4. Prikaz znaka na ekranu in ustrežna vsebina znakovnega generatorja.

LA na sliki 3.4. so naslovi linij (0 do B – heksadecimalno), CC je naslov znaka (v tem primeru znaka A); pod njim je znak »A« narisano tako, da „“ prestavlja temno »točko«, znak " a " pa svetlo točko na ekranu. Na desni strani pa je vsebina v znakovnem generatorju, ki ustreza znaku »A«, in pripadajoči naslovi. Izhodi znakovnega generatorja D0 do D7 so vezani na paralelne vhode CMAC krmilnika, ki vsebuje paralelno serijski pomikalni register in atributno logiko in pretvori paralelne izhode CHG vezja v serijski video izhod. Ker ima znakovni generator samo osem podatkovnih izhodov, znake pa prikazujemo znotraj bloka 9 x 12, CMAC krmilnik pa ima devet paralelnih vhodov, moramo definirati vhod D8 v IC47. To smo napravili z IN vrati IC52 (74LS08) tako, da lahko osmi znakovni bit (D7) podvojimo na deveti bit D8 (CMAC krmilnika) z atributom AGRAF. Ta atribut je aktiven, kadar se prikazujejo znaki iz nabora semigrafike. Semigrafčni znaki se na ta način povežejo po horizontali. CMAC je LSI barvno/črno-beli atributni krmilnik (Color/Monochrome Attributes Controller) firme Signetics. S slike 3.5. je razvidno da je sestavljen iz sedmih bistvenih sestavnih delov:

- števec ure znaka,
- video pomikalni register,
- logika za črno-bele in barvne attribute ter kazalec,
- logika za dvojno širino,
- logika za modulacijo točk,
- logika za hierarhijo video in atributov,
- TTL izhodi.



Slika 3.5. Zgradba CMAC krmilnika.

Izhod oscilatorjev urnega signala točke je vezan na vhod DCLK CMAC krmilnika. Imamo dva oscilatorja: IC61 (8224) generira signal s frekvenco 14.165 MHz, ki je DCLK za format ekrana 80 znakov v vrstici, IC60 pa generira DCLK z 23.228 MHz za format ekrana 132 znakov v vrstici. Izhoda teh dveh oscilatorjev sta vezana na IC62 (74S38) 1 in 2, ki imata izhoda z odprtim kolektorjem in sta vezana skupaj. Na izhodu teh dveh vrat (upor R34) lahko dobimo ali en ali drugi signal. Izbiramo jih s signalom COLSW (izhod 16 IC 48). Inverter IC 53 poskrbi, da se izhoda medsebojno izključujeta. Ta signal je vezan na vrata 4 IC62 in IC46 (74S74), ki ta signal deli z dva in ga vodi k vhodu vrat 3 IC 62. Izhoda vrat 3 in 4 IC62 sta zopet vezana skupaj in v odvisnosti od signala DOUBLSW se nanj prenese ali vhod vrat 3 ali 4. Na frekvenco signala DCLK lahko torej s signaloma COLSW in DOUBLSW vplivamo takole:

COLSW	DOUBLSW	DC LK	FORMAT EKRANA
NIZEK	NIZEK	11.614 MHz	64 znakov/vrstico
NIZEK	VISOK	23.228 MHz	132 znakov/vrstico
VISOK	NIZEK	7.082 MHz	40 znakov/vrstico
VISOK	VISOK	14.165 MHz	80 znakov/vrstico

DCLK je torej osnovna ura celotnega prikazovalnega dela in je vhodni signal števecu ure znaka, logike za dvojno širino in logike

za modulacijo točk. Števec ure znaka takole deli DCLK s faktorjem, ki je definiran z vhodoma C0 in C1:

C0	C1	Točk na znak
NIZEK	NIZEK	10
NIZEK	VISOK	7
VISOK	NIZEK	8
VISOK	VISOK	9

C0 in C1 sta izhoda 5 in 6 iz IC48 in sta vedno postavljena na visokem nivoju. Frekvenca signala ure znaka CCLK je torej vedno 9x manjša od frekvence signala DCLK. Ta podatek je merodajen za horizontalno resolucijo znaka, ki je torej 9 točk na znak. Izhod CCLK/ je vezan na AVDC krmilnik kot osnovna ura.

Vežje za modulacijo točk krmili video pomikalni register tako, da ta sinhronizirano s signalom CCLK/ serijsko pomika točke, ki se vanj vpišejo paralelno iz CHG. Vežje za modulacijo točk ima tri vhode, od katerih smo v naši aplikaciji izkoristili samo vhod DOTS, na katerega je vezan izhod 12 IC48. Ta vhod deluje tako, da so znaki na zaslonu odebeljeni (za eno točko), kadar je DOTS na visokem nivoju in normalni, kadar je DOTS na nizkem nivoju. Logika za dvojno širino deluje tako, da je cela vrstica, v kateri je signal ADW na visokem nivoju (postavljen atribut dvojne širine ali višine), prikazana enkrat počasneje kakor normalna vrstica. To pomeni, da so znaki v formatu dvojne širine normalni in vrstica vsebuje 40 znakov namesto 80 oziroma 64 namesto 132. Logika za kontrolo barvnih in črno-belih atributov ter kazalca poskrbi, da se vidni atributi ter kazalec pravilno uskladijo z video signalom.

Vežje CMAC lahko deluje v dveh načinih, črno-belem in barvnem, ki ju določa vhod M/C. Če je M/C vhod na nizkem nivoju, potem je CMAC v barvnem načinu, sicer pa je v črno-belem. Pomen vhodov v atributni logiki za ta dva načina je naslednji:

POMEN SIGNALA ATRIBUTA

ZUNANJA OZNAKA	/ OZNAKA / NA CMAC	/ ČRNO-BELI / NAČIN	/ BARVNI NAČIN
ablink	/ ablink	/ utripajoči	/ utripajoči
arvid	/ agreenb - arvid	/ obratni video	/ zeleno ozadje
aul	/ aul	/ podčrtani	/ podčrtani
ahilt	/ aredf - ahilt	/ osvetljeni	/ rdeči znaki
adw	/ aredb - agp1	/ spl. namenski	/ rdeče ozadje
aschset	/ abluab - agp2	/ spl. namenski	/ modro ozadje
bkgnd	/ agreenf - bkgnd	/ svetlo ozadje	/ zeleni znaki
ablank	/ abluab - ablank	/ zatemnjeni	/ modri znaki

BKGND določa temno ozadje, če je na visokem nivoju, sicer pa svetlo. ADW vhod ne sme biti vezan na vhod ADOUBLE v barvnem načinu.

Posebni vhodi v atributno logiko so še:

- CURSOR za generiranje signala kazalca,
- BLANK za zatemnitev video signala v času vračanja,
- UL za generiranje podčrtanega atributa in
- BLINK za generiranje utripajočega atributa.

Ti signali so vezani neposredno iz AVDC krmilnika na CMAC krmilnik.

Prevezava P3 mora biti takšna:

	povezani	nepovezani
črno-beli način	3-4, 5-6, 9-10	1-2, 7-8
VT 100	11-12, 13-14	
barvni način	1-2, 7-8, 11-12, 13-14	3-4, 5-6 9-10

V logiki za hierarhijo video in atributov se video signal in signali prikazovalnih atributov seštejejo tako, da dobimo preko TTL izhodov štiri video signale RED/TTLV1, BLUE/TTLV2, GREEN/GP1 in LUM/GP2, ki so RDECI, MODRI, ZELENI in LUMINANČNI vhodi za barvni monitor in štiri video signale za črno-beli monitor. Če uporabimo vse štiri črno-bele izhode, lahko na zaslonu generiramo šestnajst nivojev sivega.

V našem prikazu smo uporabili samo TTLV1 in TTLV2 in tako dobili štiri nivoje osvetlitve ekrana: svetlo, normalno, polsvetlo in temno.

Ta dva signala sta vezana na vhod zunanje vežje za oblikovanje.

IC48 (74LS374) predstavlja nastavitveni register CMAC krmilnika, s katerim lahko programsko nastavimo nekatere njegove funkcije:

- horizontalno resolucijo znaka (vhoda C1 in C2),
- način delovanja barvni/črno-beli (vhod M/C),
- modulacija prikazovanja točk (vhod DOTS),
- barvni ali črno-beli kazalec (vhod CMODE) in
- sveto/temno ozadje (BKGND).

3.3.4. Vežje za oblikovanje video signala (VFORM)

To vežje oblikuje TTLV1, TTLV2, VSYNC in HSYNC v sestavljeni video signal. Na bazi tranzistorja T11 se omenjeni štiri signali seštejejo preko uporov R52, R54 in R55. Iz CMAC krmilnika se vodita TTL video signal preko vrat 1, 2, 3 in 4 IC56 (74S38) ter 1 in 2 IC39 (7407) na T11. Iz AVDC krmilnika pa se sinhronizacijski signala HSYNC in VSYNC vodita preko ALI vrat 1 IC48, inverterja IC53 in vmesnika 3 IC 59 neposredno na T11. Nivo sinhronizacijskega signala je na ta način na OV. Na to točko pa je preko R37, R38, R39 in R40 vezan še izhod 4-bitnega digitalno-analognega pretvornika, s katerim lahko spreminjamo kontrast med 0,7 V in 1,1 V. Ta pretvornik smo realizirali z IC64 (74S09), vrati 3 IC 58 ter IC63 (74LS175). V ta zapah procesor zapiše digitalno vrednost kontrasta, ki se potem preko IC64 in izhodih uporov pretvori v analogno. BLANKDD signal je vezan na VFORM vežje, da v času zatemnitve (horizontalne in vertikalne) počisti video signal in določi nivo črnega. Ta signal je zakasnen za 3 (IC 49 z uro CCLK/) + 1/2 (IC50 z uro CCLK), torej za tri in pol periode signala CCLK. Z vezjem IC50 pa je zakasnen še za periodo DCLK signala. Te zakasnitve so potrebne zato, da se uskladi BLANK signal, ki izvira v AVDC krmilniku, in TTL video izhodi CMAC krmilnika, ki so zakasneni glede na njega.

Na VFORM sta priključena še dva zunanja TTL video signala (GRAPHV1 in GRAPHV2), preko katerih lahko priključimo TTL video izhod grafičnega procesorja. Na vhod VGRPH pa lahko priključimo tudi sestavljeni video signal zunanje grafičnega procesorja.

Sestavljeni video izhod je signal CVID, ki predstavlja nizkoimpedančni izhod za krmiljenje monitorja.

3.3.5. Register signala svetlobnega peresa

Register svetlobnega peresa sestavlja IC 37 in IC 38 (74LS374). V ta dva registra se s signalom LPEN (prehod od 0 v 1) vpiše. Hkrati se postavi tudi izhod IC40 (nožica 5) na visok nivo in procesor lahko prečita ta signal preko IC41 na DB7.

Na ta način dobi informacijo o tem, da se je generalni signal svetlobnega peresa in procesor lahko iz registra svetlobnega peresa prečita na katerem mestu smo 202 h detektili zaslon. Ta register je na pomnilniških lokacijah F002H.

Ta naslov je določen s signalom FXX2/, ki je skupaj z MEMRB preko ALI vrat (IC39) vezan na OE/ vhod registra.

3.4. Vhodno/izhodni del

Ta del logične kartice terminala opravlja naslednje funkcije:

- komunikacija med računalnikom in terminalom,
- prenos podatkov v tiskalnik,
- serijska povezava s tipkovnico
- vmesnik za nepozablajoči pomnilnik (NVR - Non Volatile RAM).

Serijsko komunikacijo z oddaljenim računalnikom opravlja komunikacijski krmilnik SIO (IC65), ki je LSI vežje Z 80 B SIO (Shema B4).

Selektivni signal za to vežje je SIO, s katerim ga procesor (CPE) izbira, kadar izvaja operacijo čitanja ali vpisovanja v registre tega vežja. Osebitni podatek vpiše ali čita preko podatkovnega vodila DB0 - DB7 s pomočjo kontrolnih signalov I/OR L, I/OWL in ABO. RESET signal postavi komunikacijski krmilnik v osnovno stanje. CLK TTL signal predstavlja uro vežja. Komunikacijski krmilnik Z 80B SIO je programabilno vežje, s katerim smo realizirali dva serijska asinhrona dupleksna kanala za povezavo terminala z računalnikom in pomožnim tiskalnikom. Vežje ima ločeni oddajni liniji TXD in sprejemno RXD, kar omogoča, da deluje v popolnem dupleksnem načinu prenosa. To pomeni, da lahko hkrati oddaja in sprejema podatke. Oddaja in sprejema v asinhronem formatu. Hkrati pa to vežje s signali RTS L, CTS L, DTR L in DCD L omogoča še kontrolo modema.

Vsi ti signali RXD, TXD in signali za kontrolo modema imajo TTL napetostne nivoje. Zaradi tega smo morali dodati posebne vmesnike, pretvornike nivojev za RS 232, tokovno zanko in TDI. Glavna komunikacijska vrata imajo še dodatne signale za kontrolo modema:

RSCD, RSRI, RSPDI in RS SPDS in RSDSR.

Tokovna zanka TZ je alternativna duplexna povezava terminala z računalnikom. RS 232C vmesnik je narejen tako, da je nosilec informacije napetost, TZ pa tako, da je nosilec informacije tok. TDI vmesnik je polduplexni vmesnik, narejen tako, da je mogoče terminal priključiti na BURROUGHSOVE računalniške sisteme.

Vsi ti vmesniki so na glavni komunikacijski krmilnik priključeni tako, da lahko hkrati uporabimo samo enega od njih. Pomožna komunikacijska vrata so lahko priključena na tiskalnik samo z RS 232C vmesnikom. Z 80 B SIO vezje mora zagotoviti oddajo in sprejem na različnih oddajnih in sprejemnih hitrostih, od 50 do 19200 baudov. V ta namen ima to vezje poseben vhod za oddajno TXC in sprejemno RXC uro. Pri COM 1 (glavna kom. vrata) sta oddajni in sprejemni uri lahko različni, pri COM 2 pa enaki, ker sta vhoda za oddajno in sprejemno uro vezana skupaj. Te signale generiramo s programabilnim časovnikom TIMER (IC 70). To vezje vsebuje tri neodvisne števec, katerih urni signal je izhod binarnega števca CNT (IC 76), ki je vezan tako, da frekvenco oscilatorja 18,432 MHz deli z osem. Delilne faktorje za števec znotraj programabilnega časovnika lahko programsko nastavimo in tako lahko programsko izberemo različne prenose in sprejemne hitrosti komunikacijskih krmilnikov. Programsko lahko izberemo tudi število bitov na znak (5, 6, 7 ali 8), število stop bitov (1, 1.5 ali 2) in parnost. Te tri parametre določa komunikacijski krmilnik.

Komunikacijski krmilnik je vezan na vhodno/izhodne lokacije BA_{VH} in BB_{VH} (SIO L), časovnik pa na lokaciji 90_{VH} do $9H_{VH}$ (CNT L).

Na blokovni shemi B4 vidimo še en modul, to je programabilni periferni vmesnik (PPI - 8255). To je LSI vezje (IC 71), ki ima 24 paralelnih vhodov in izhodov, grupiranih v 3 x 8 paralelnih V/I vrat, ki jih lahko čitamo ali vpisujemo ločeno. Ta vrata so označena s PA0 - PA7, PB0 - PB7 in PC0 - PC7. S procesorjem lahko preko vodila dosežemo vseh osem linij PA in PB vrat hkrati, na PC pa vsako linijo zase. Preko PPI vmesnika dosežemo NVR pomnilnik (IC 72). To je pomnilniško vezje z naključnim dostopom, ki ob izklopu napajanja ohrani vsebino. NVR je velikosti 256 x 4 bite. Ima 8 naslovnih, štiri podatkovne in tri kontrolne vhode. Signale za naslovne vhode generiramo z vrati PA0-PA7, signale za podatkovne vhode pa z vrati PB0 - PB3.

Kontrolni signali pa so vezani na PC0, PC1 in PC4 vhode/izhode:

- R/WL kontrolira čitanje (visok nivo) in vpisovanje (nizek nivo),
- AS L (Address Strobe) je signal, ki izbere vezje in
- ME (Memory Enable) omogoči dostop do vezja (visok nivo)

Postopek čitanja vsebine NVR:

- Na PA0 - PB7 generiramo naslov lokacije, ki jo želimo doseči,
- R/WL signal postavimo s PC 1 na visok nivo,
- Selektivni signal AS L postavimo na nizek nivo tako, da je signal PC »visok« in se potem invertira preko tranzistorja T2,
- Na D0-D3 se pojavi vsebina naslovljene lokacije, ki jo prečitamo na PB0 - PB3,
- AS L postavimo na visok nivo,
- generiramo naslov naslednje lokacije, ki jo želimo čitati.

Postopek vpisovanja nove vsebine v NVR:

- generiramo naslov lokacije, katere vsebino želimo spremeniti,
- R/WL signal postavimo na nizek nivo,
- AS L signal postavimo na nizek nivo in na ta način aktiviramo interno vezje, ki prične programirati novo vsebino, AS L signal takoj postavimo nazaj na visok nivo,
- čakamo, da se signal ME postavi zopet na visok nivo, ko je nova vsebina uspešno zapisana na tej lokaciji; ME signal je vezan na PC 4 V/I bit PPI vmesnika.

Na vhode PC5 do PC7 so vezani še signali za kontrolo modema: RS CD1 RSRI1 in RS SPDI 1, in RS DSR1 ter RS DSR2

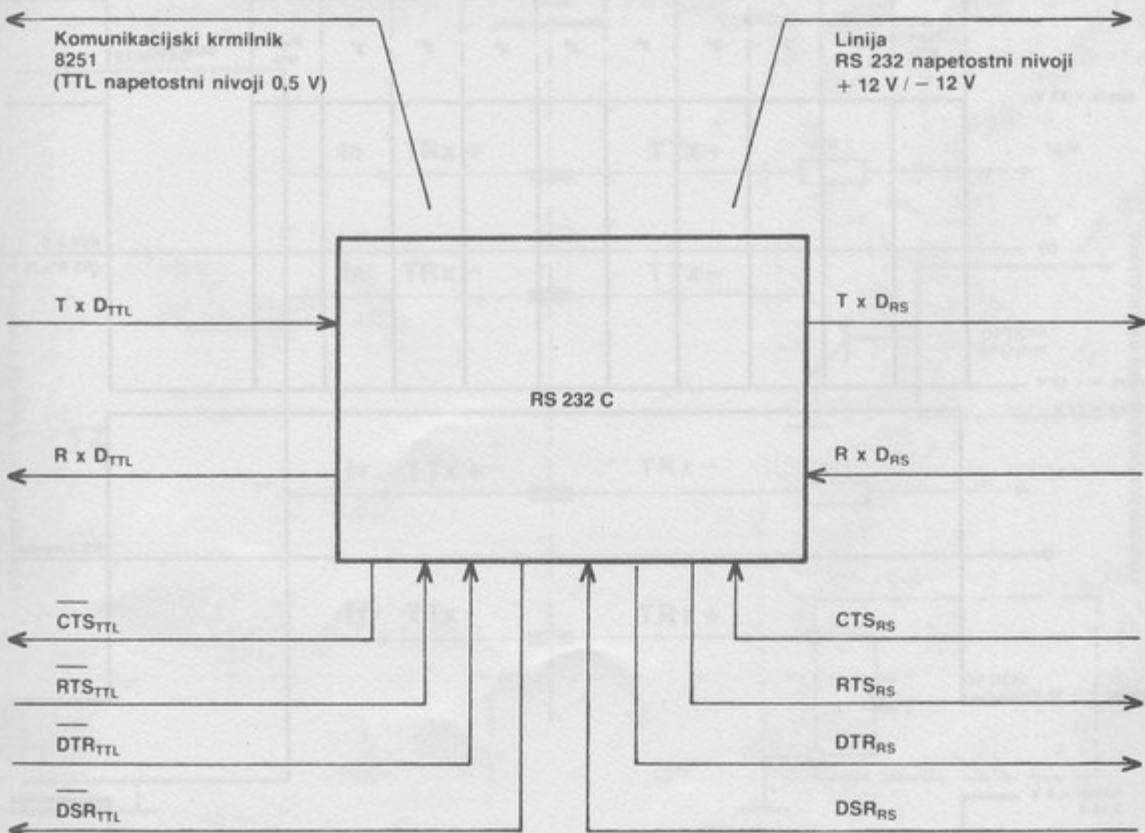
3.4.1. Vhodno/izhodni vmesniki

V tem poglavju bomo opisali delovanje naslednjih V/I vmesnikov:

- RS 232 C vmesnik,
- tokovna zanka,
- TD I vmesnik in
- vmesnik za serijsko tastaturo.

3.4.1.1. RS 232 C vmesnik

Princip delovanja RS 232 C vmesnika je narisano na sliki 3.6. Narišemo ga lahko kot »črno skatlo« z dvema podatkovnima in štirimi kontrolnimi vhodi oz. izhodi.



Slika 3.6. Shema RS 232 vmesnika

Informacije se prenašajo preko dveh podatkovnih linij:

- TxD (Transmit Data) je linija, preko katere se oddaja podatek;
 - RxD (Recive Data) je linija, preko katere se sprejema podatek;
- Pretok podatkov kontrolirajo štirje kontrolni signali:
- RTS (Request To Send) s tem signalom oddajnik od modema zahteva linijo za oddajo podatka;
 - CTS (Clear To Send) modem odgovori na RTS signal, da je pripravljen na oddajo podatkov;
 - DTR (Data Terminal Ready) priključi modem na komunikacijski kanal,
 - DSR (Data Set Ready) pove stanje modema.
 - DCD (Data Carier Detect) pove prisotnost signala nosilca.
- V nekaterih modemih se uporabljajo še dodatni kontrolni signali, ki pa so realizirani samo na glavnih komunikacijskih vratih:
- CD (Carier Detect oziroma Received Line Signal Detector) vhodni signal je vklopljen, kadar je na liniji prisoten nosilec signala.
 - RI (Ring Indicator) je vhodni signal, ki se vklopi, kadar je modem po liniji sprejel signal zvonca,
 - SPDI (Speed Indicator oziroma Data Signal Rate Selector) je vhodni signal, ki izbere eno izmed dveh možnih hitrosti in se uporablja samo v sinhronih prenosih;
 - SPDS (Speed Select oziroma Data Signal Rate Selector) je iz-

hodni signal, ki izbere eno izmed dveh možnih hitrosti. Uporabljajo se samo pri sinhronih prenosih.

Na eni strani je RS 232 C vmesnik priključen na komunikacijski krmilnik (Z 80 B SIO) s TTL napetostnimi nivoji (0/5V), na drugi strani pa na komunikacijsko linijo z RS napetostnimi nivoji (+12V/-12V). Vmesnik je realiziran s posebnimi vezji IC 73, IC 74, IC 75 in IC 61.

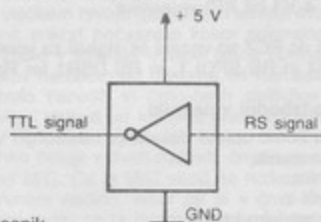
Vhodno vezje je tipa 75189 in pretvori napetostne nivoje +12V/-12V na TTL nivoje; izhodno vezje pa je 75188, ki deluje obratno. Vsako integrirano vezje vsebuje po štiri vmesnike tega tipa, ki so narisani na sliki 3.7.

Iz te slike vidimo, da je RS 232 C vmesnik dejansko samo pretvornik napetostnih nivojev in slika 3.6. ni narisana popolnoma korektno. Kontrolni signali se preko vmesnikov samo prenesejo in potem krmilijo komunikacijski krmilnik.

Napetostni nivoji se pretvorijo tako, kot je narisano na sliki 3.8.

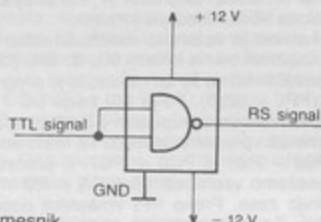
V sliki 3.8. a je narisano serijsko kodiran TTL signal, ki ga oddaja vezje Z80 SIO. En znak je sestavljen takole:

- start bit, ki ima dolžino enega bita,
- pet do osem podatkovnih bitov,
- paritetni bit (liha ali soda pariteta) in
- en do dva stop bita.

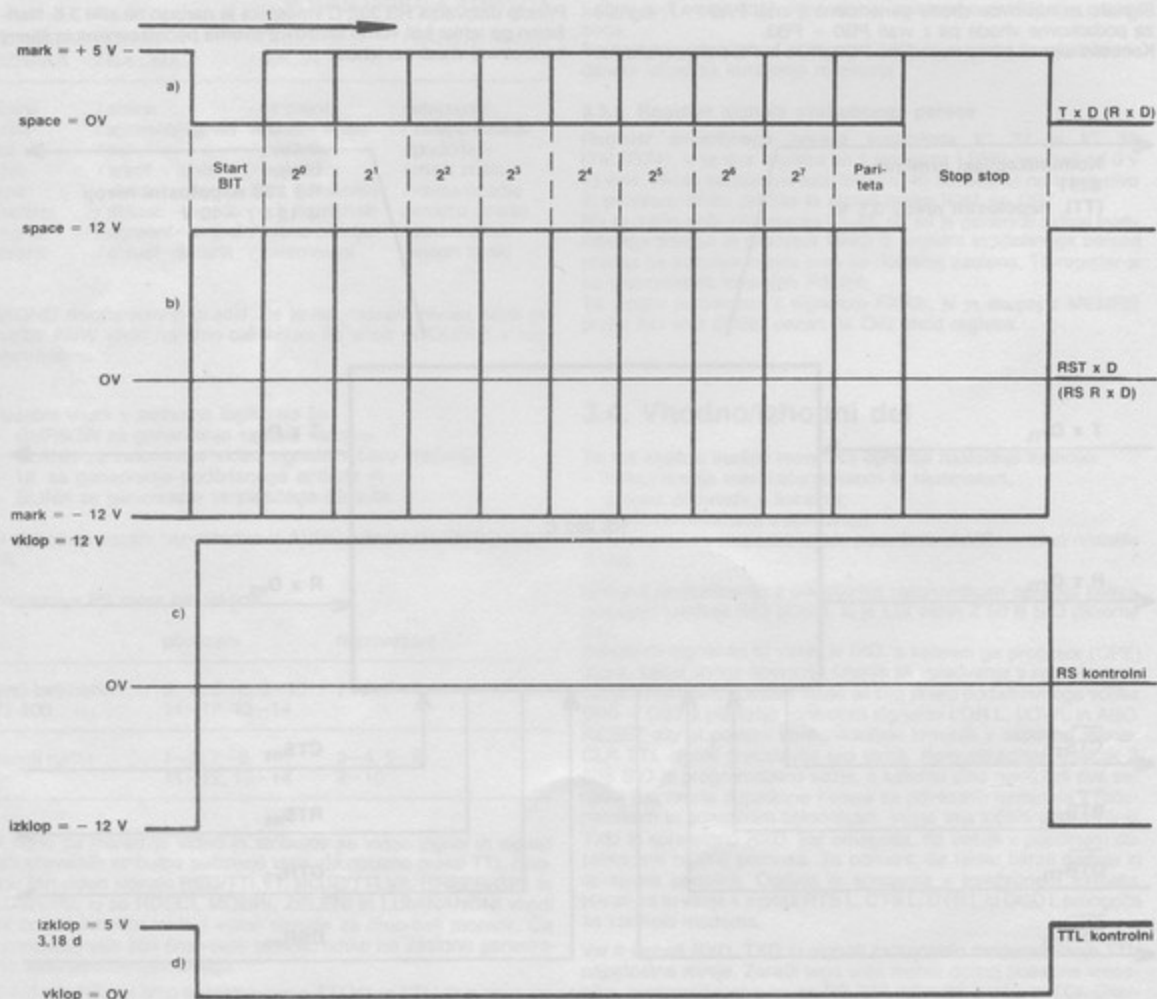


a) vhodni vmesnik

Slika 3.7. RS 232 C vmesnik (shema enega elementa)



b) izhodni vmesnik



Slika 3.8.: Napetostni nivoji RS 232 C vmesnika

Logična ena »1« (mark) je nivo 5 V, logična ničla »0« (space) pa je 0 V.

V sliki »b« je narisana ustrezeni RS signal. Tu je logična ena »1« na -12 V, logična ničla »0« pa +12 V.

Kontrolni signali lahko vklopijo neko funkcijo v stanju VKLOP ali pa izklopijo to funkcijo v stanju IZKLOP.

VKLOP pomeni:

+12 V za RS nivo,

0 V za TTL nivo,

IZKLOP pomeni:

-12 V za RS nivo,

+5 V za TTL nivo.

Preko RS 232 C vmesnika je možno prenašati s hitrostjo največ 19200 baudov.

3.4.1.2. Tokovna zanka

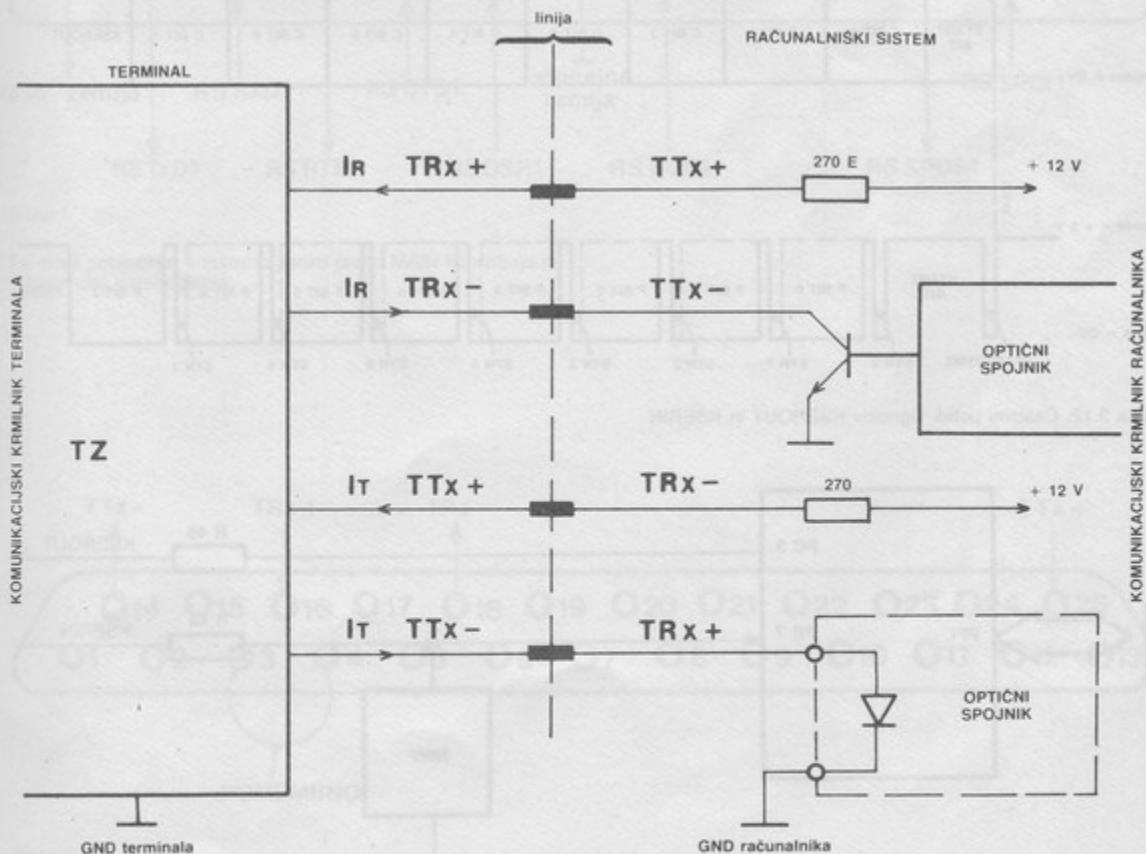
Tokovna zanka je poseben duplexni komunikacijski vmesnik, kjer nosilec informacije ni napetost ampak tok. Narejena je z optičnimi spojniki OP 1 in OP 2 ter tranzistorji T 8, T 9 in T 10. Z optičnimi spojniki galvanско ločimo terminal, od računalnika. Kadar je visok nivo na vходу 1 optičnega spojnika, steče tok skozi vhodno diodo (1-2). Dioda osvetli izhodni tranzistor, skozi katerega steče tok. Na kolektorju tega tranzistorja napetost pade in zapre izhodni tranzistor - izhodni tok ne teče. Ker je TxD izhod komunikacijskega krmilnika vezan na vhod optičnega spojnika preko inverterja, teče na izhodnih sponkah (TTx + TTx-) tok takrat, kadar je na TxD logična ena »1« (mark). Pri logični ničli »0« tok ne teče. V sprejemnem delu je na izhodu optičnega spojnika OP 1 visok nivo (logična ena »1«), kadar preko vhodnih sponk TRx - in TRx + teče tok. Logična ničla »0« je takrat, kadar tok ne teče. Tok, ki predstavlja »mark«, je med 5 mA in 20 mA, »space« pa tok, manjši kot 5 mA.

Realizirali smo pasivno tokovno zanko. To pomeni, da je napetostni izvor za tokovni generator na strani sistema tako, kot je narisano na sliki 3.9.

I_R - Smer sprejemnega toka

I_T - Smer oddajnega toka

GND - Signalna masa terminala in signalna masa računalnika nista povezani.

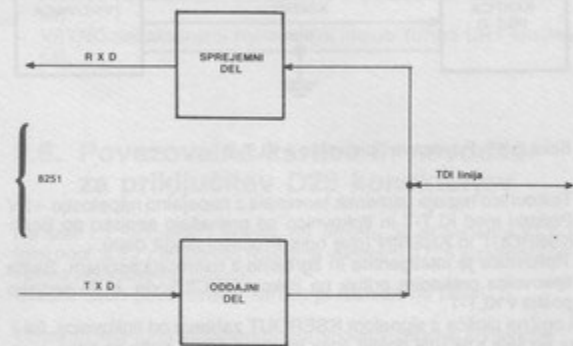


Slika 3.9. Povezava terminala na sistem s tokovno zanko

3.4.1.3. TDI vmesnik

S pomočjo TDI vmesnika se lahko priključimo na računalnike s pol-dupleksnim vmesnikom. Običajno uporabljajo takšne vmesnike računalniški sistemi firme Burroughs. Ta vmesnik nam omogoča, da emuliramo Burroughsov terminal TD 830.

TDI vmesnik sestavljata oddajni in sprejemni del, kot je narisano na sliki 3.10.



Slika 3.10. TDI vmesnik

Poleg tega, da TDI vmesnik zagotavlja poldupleksni prenos po eni liniji, je tudi pretvornik napetostnih nivojev. TTL nivoje, ki so na strani komunikacijskega krmilnika, pretvori na TDI linijo takole: 0 V je logična ničla »0«, -12 V je logična ena »1«.

Nosilec informacije na TDI liniji je torej napetost. Oddajni del tega vmesnika sestavljajo inverter (IC 53), T 5 in T 6, sprejemni del pa tranzistor T 4.

3.4.1.4. Tastaturni vmesnik

Tipkovnica je na logično ploščo priključena s štirimi žicami tako, kot je narisan na sliki 3.11.



Slika 3.11. Povezava tipkovnice s KLT-T

Tipkovnico napaja usmernik terminala z napajalno napetostjo +5V. Podatki med KLT-T in tipkovnico se prenašajo serijsko po žicah KSEROUT in KSERIN (glej opis Procesorskega dela).

Tipkovnica je inteligentna in zgrajena z mikroprocesorjem. Sama tipkovnica prekodira pritisek na tipko v ASCII kodo, ki jih serijsko pošlje v KLT-T.

Logična plošča s signalom KSEROUT zahteva od tipkovnice, da ji ta po liniji KSERIN pošlje znak oziroma ASCII kodo za tipko, ki jo je operater pritisnil. KLT periodično vsakih 40 ms generira signal KSEROUT in tipkovnica odgovarja s signalom KSERIN. Časovni potek signalov je narisan na sliki 3.12.

KLT-T s signalom KSEROUT zahteva od tipkovnice, da ji ta pošlje kodo za odtipkani znak, hkrati pa ji pošlje še ukaz, s katerim preklaplja nekatere funkcije tipkovnice. Ukaz je dolg osem bitov (CBIT0 - CBIT7) in lahko krmili naslednje funkcije tipkovnice:

- tip tipkovnice (QWERTY, QWERTZ, AZERTY, JUGOSLOVANSKA)
- vklop ali izklop zvočne indikacije pritiska tipke (KEYCLICK),
- vklop ali izklop končnega znaka (Margin Bell),
- vklop ali izklop ponavljanje znakov,
- vklop ali izklop indikatorskih lučk.

Logična ena »1« (mark) ukaza je + 5 V.

Na vsak zahtevek odgovori tipkovnica s signalom KSERIN, ki vsebuje kodo za znak ali »prazen znak«, S »praznim znakom« odgovori, kadar tipkovnica nima kaj poslati, ker ni bila aktivirana nobena tipka.

Prazen znak sestavljajo samo logične ene »1« (mark), katerin nivo je 0 V. Signal KSERIN sestavljajo START BIT (space), osem podatkovnih bitov in devet sinhronizacijskih bitov: en STARTSYN in SYN0 - SYN 7. Sinhronizacijski biti so potrebni za sinhronizacijo sprejemnega dela v KLT-T, da lahko ta izloči podatkovne bite PBIT0 do PBIT 7, oddajnik pa lahko hkrati generira podatkovne bite ukaza CBIT 0 - CBIT 7.

Oddajni signal KSEROUT je izhod PC 3 PPI vezja (IC 61), sprejemni signal pa je povezan z vhodom PB 7 istega vezja. Signal KSERIN smo povezali še z monostabilnim D - multivibratorjem IC. 71, s pomočjo katerega izločimo sinhronizacijske impulze. Izločeni sinhronizacijski impulzi so povezani s prekinitvenim vhodom RST 6.5 procesorja.

3.5. Razpored in opis priključkov konektorjev logične plošče

KLT-T ima dva priključna konektorja:

- K I je sistemski konektor
- K II je vhodno/izhodni konektor

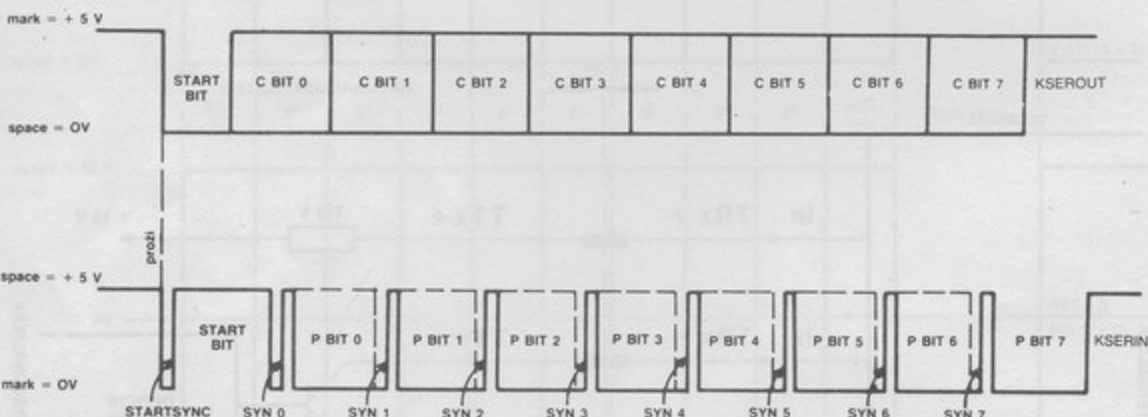
Razpored teh priključkov je narisan na dodatnem listu stikalnega načrta (list 4).

Na sistemskem konektorju imamo dve skupini signalov:

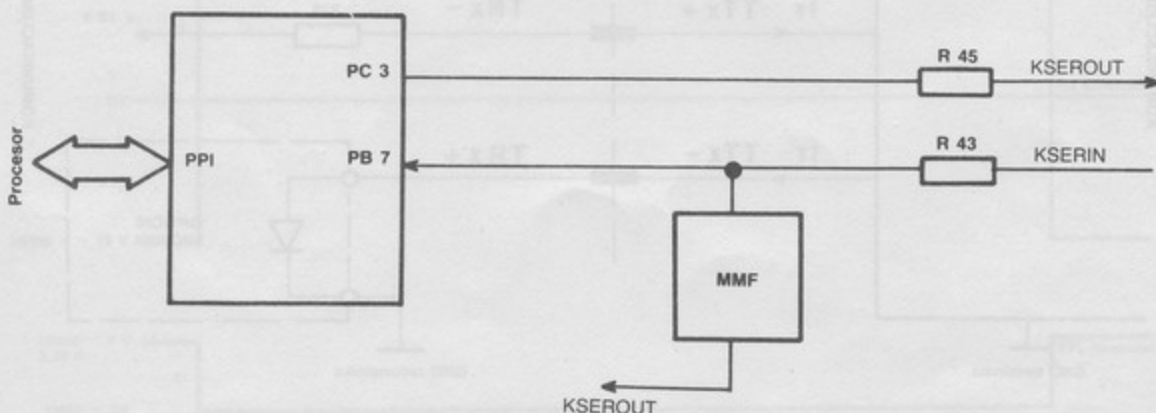
- napajalne napetosti (+ 5 V, + 12 V, in - 12 V ter maso - GND)
- signale sistema vodila

Signale sistema vodila (naslovno, podatkovno in kontrolno) uporabimo samo v primeru razširitve logične kartice z dodatno aparaturno opremo (npr. dodatni pomnilnik, vmesnik za grafično ploščo...).

Signale na vhodno/izhodnem konektorju (K II) lahko razdelimo v tri skupine:



Slika 3.12. Časovni potek signalov KSEROUT in KSERIN



Slika 3.13. Vmesnik za tipkovnico

1. Signali za serijsko povezavo s tipkovnico (KBRD)

To so štiri signali:

- KSERIN (vhod v logično ploščo)
- KSEROUT (izhod iz logične plošče)
- + 5 V
- GND

2. Signali komunikacijskih vmesnikov:

Glavna komunikacijska vrata (MAIN):

- RSTxD 1,
 - RS RxD 1,
 - RS RTS 1,
 - RS CTS 1,
 - RA DSR 1,
 - RS SPDS 1,
 - RS DTR 1,
 - RS SPDI 1,
 - RS RI 1,
 - RS DCD 1
- RS 232 C vmesnik

- TR x -
 - TRx +
 - TTx -
 - TTx +
 - TDI (poldupleksni izhod)
- tokovna zanka

Pomožna komunikacijska vrata za tiskalnik (PRT):

- RS RxD 2
- RS TxD 2
- RS RTS 2
- RS CTS 2

- RS DTR 2
- RS DSR 2
- RS DCD 2

3. Signali za video monitor

- CVID je sestavljeni video izhod po RS 170 standardu,
- VGND masa video signala,
- HSYNC nezakasneni horizontalni impulz (izhod CRT krmilnika),
- VSYNC nezakasneni horizontalni impulz (izhod CRT krmilnika),

3.6. Povezovalna kartica in navodilo za priključitev D25 konektorjev

Na sliki 1.1. poglavja I vidimo, da signale, ki jih generira KLT-T (glej pogl. 3.5.) z izhodnimi (oziroma vhodnimi) D 25 konektorji povezuje povezovalna kartica.

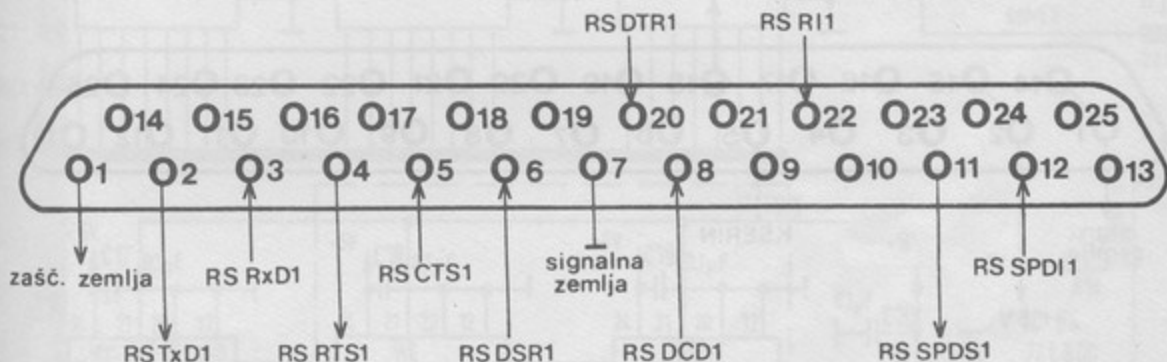
Stikalni načrt povezovalne kartice je narisana na LISTU 5.

Terminal ima torej standardizirane vhodno/izhodne konektorje.

Na konektorje se priključimo takole:

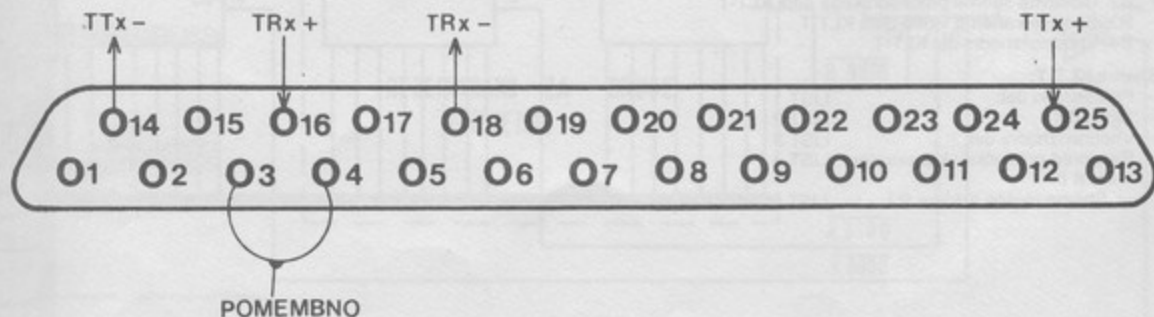
- RAČUNALNIK – je konektor za računalniški sistem,
- TISKALNIK – je konektor za serijski tiskalnik,
- TIPKOVNICA – je konektor za tipkovnico.

Na glavni RS 232 C konektor (RAČUNALNIK) priključimo računalniški sistem oziroma modem takole (skica 1 in skica 2):



Skica 1

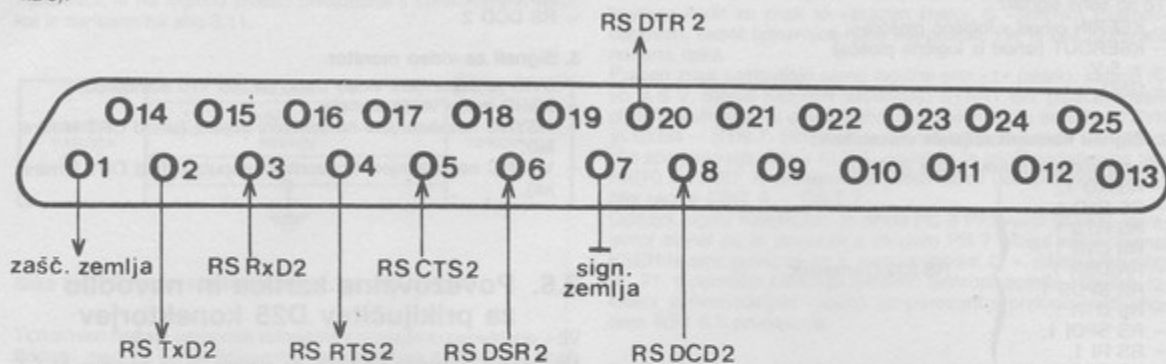
Terminal priključimo s tokovno zanko preko MAIN konektorja na računalniški sistem takole:



Skica 2

Kratko moramo vezati nožici 3 in 4, to je signala RSRxD1 in RS RTS 1!

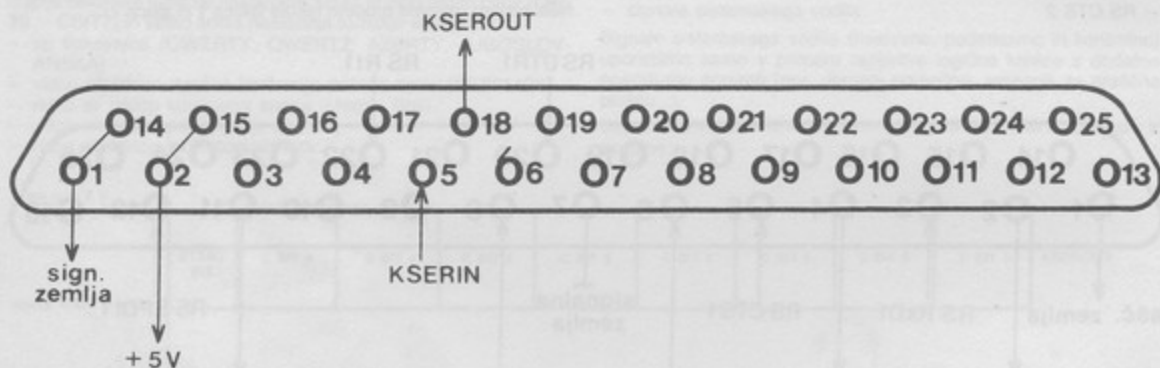
Tiskalnik priključimo na pomožni konektor (TISKALNIK) takole (slika 3):



Skica 3

Tiskalnik mora biti obvezno povezan s signaloma RS DSR 2 in RS DTR 2, sicer ne deluje.

Tipkovnica je s konektorjem TISKALNIK povezana takole (skica 4):



Skica 4

4. Načrti

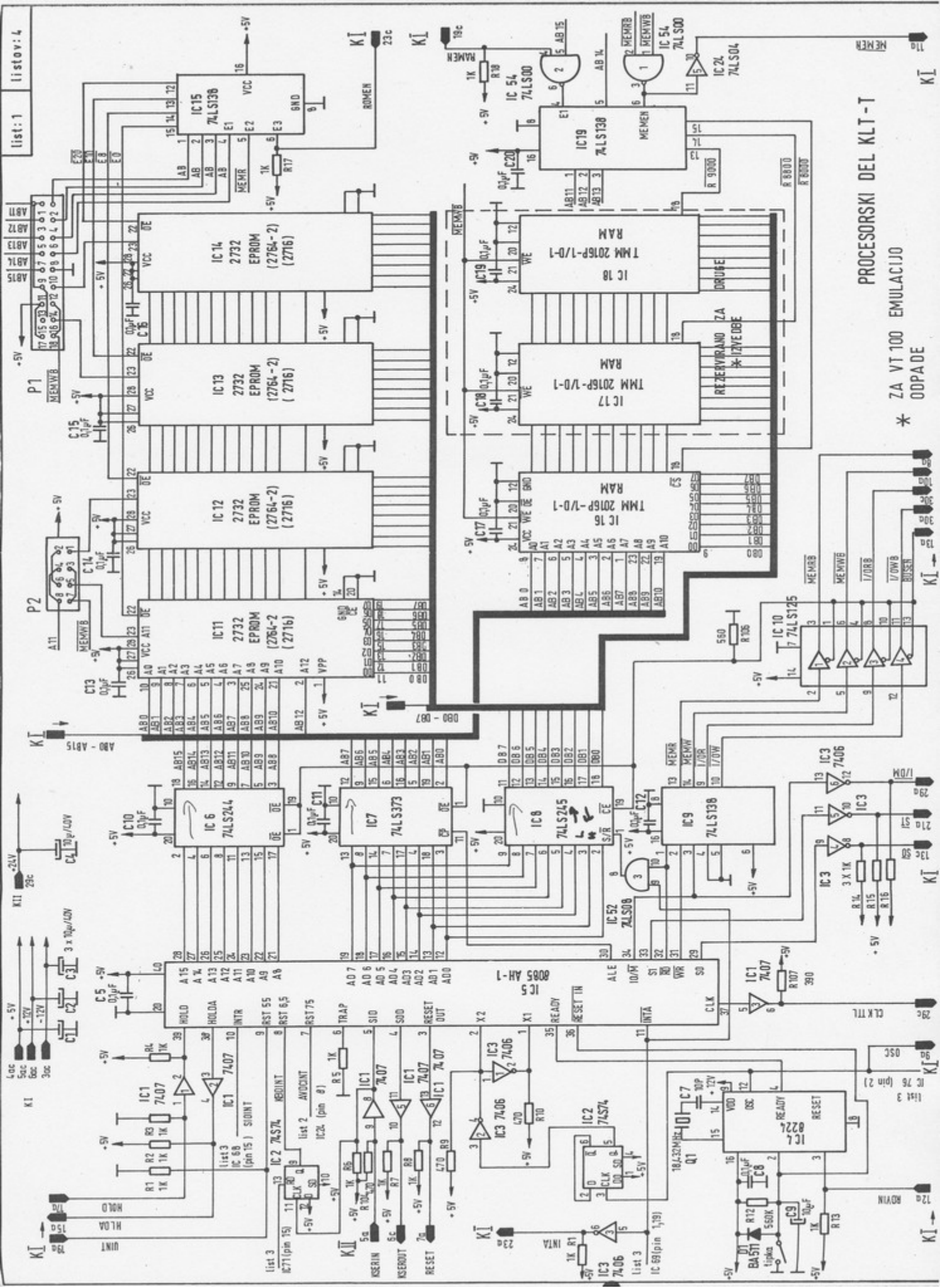
To poglavje vsebuje:

BLOKOVNE SCHEME

- B1. Blokovna shema KLT-T
- B2. Blokovna shema procesorskega dela KLT-T
- B3. Blokovna shema video dela KLT-T
- B4. Vhodno/izhodni del KLT-T

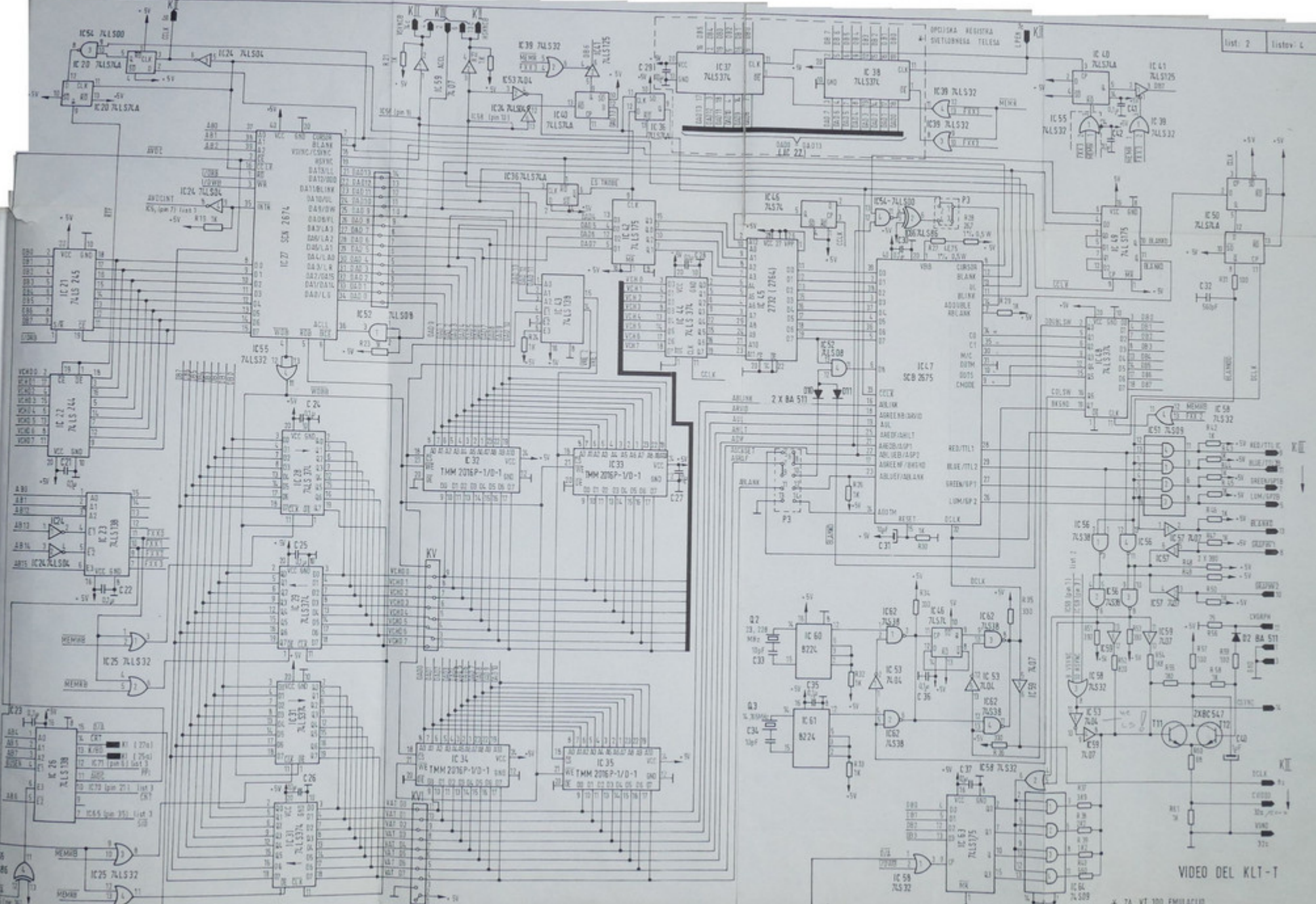
Shema KLT-T:

- Procesorski del: LIST 1
- Video del: LIST 2
- Vhodno/izhodni del: LIST 3
- Razpored priključkov konektorjev K I in K II: LIST 4
- Shema plošče tiskane P I: LIST 5



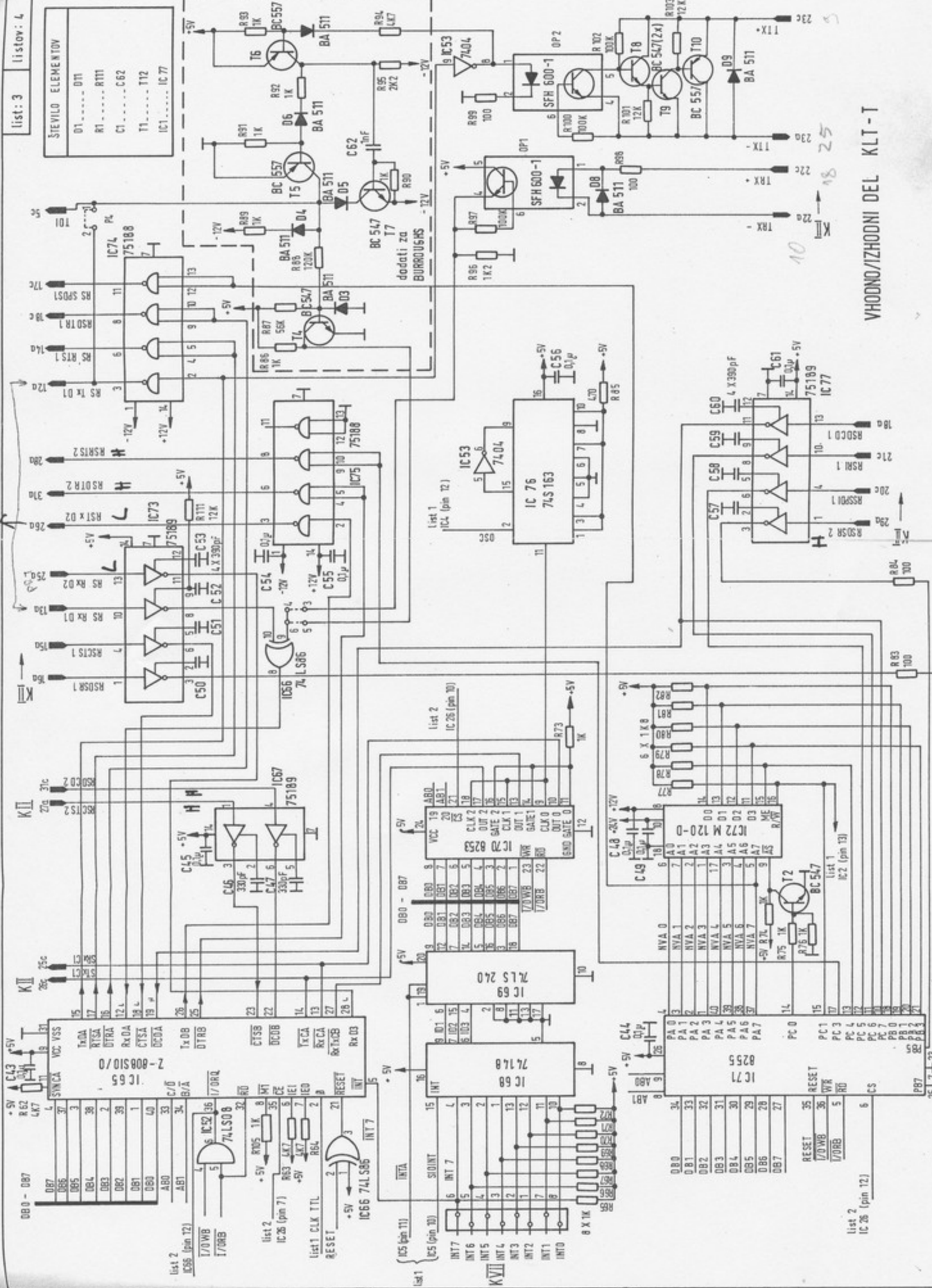
PROCESORSKI DEL KLT-T

ZA VT 100 EMULACIJO
ODPADE



VIDEO DEL KLT-1

* ZA VT 100 EMULACIJA DPAPE



VHOVNO/ZHOVNI DEL KLT-T

list: 2
IC 26 (pin 12)

P3000 modeli
 V B. Tenišer

Printer-1

2
 3
 7

X, X, V, X

100, 100

5, 6, 8, 20

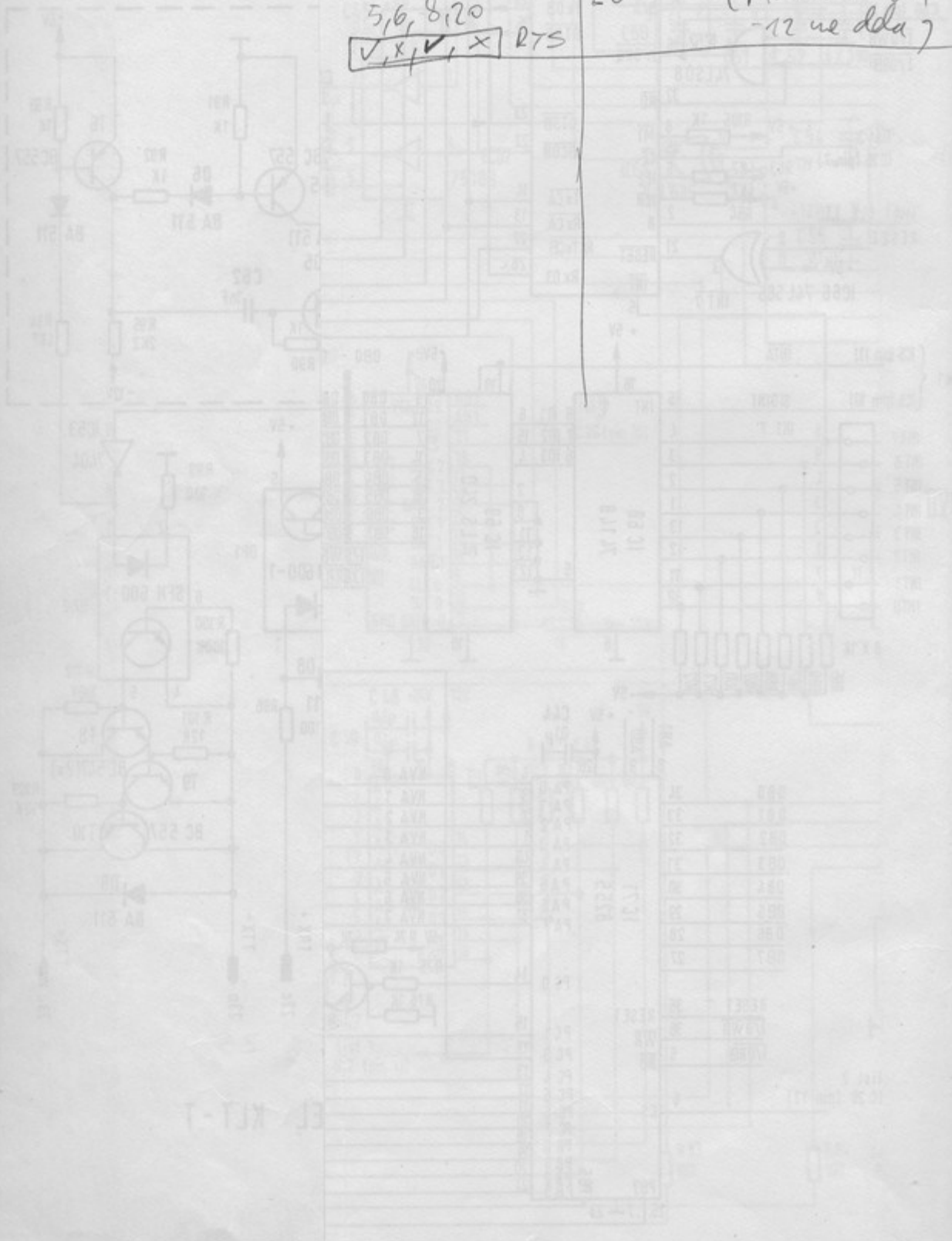
V, X, V, X

RTS

Ročunski 92

3
 2
 7
 20

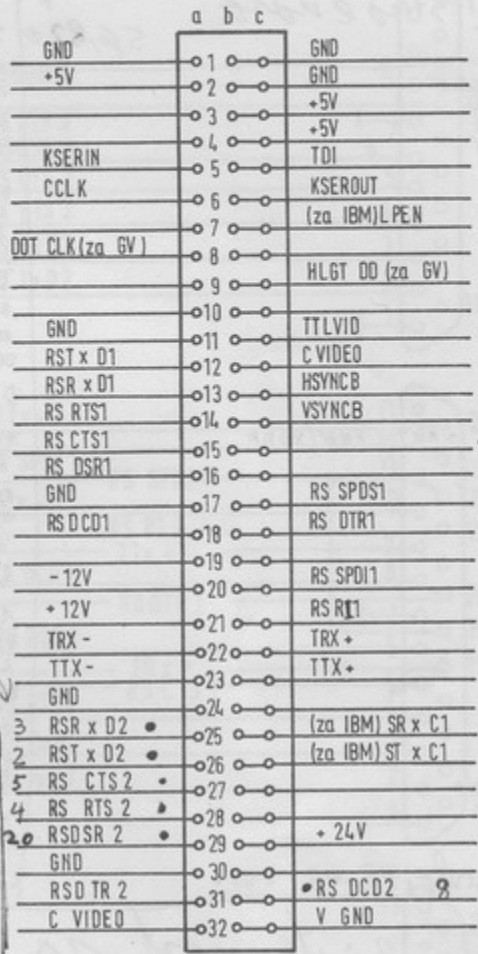
(+120 unaka - dela
 -12 ne dda)



KI



KII



Print karteleten na Banč. Tom.

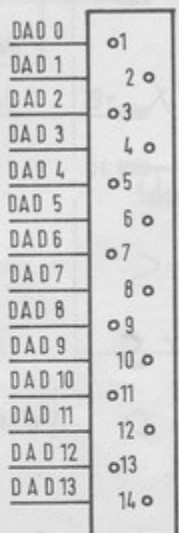
KLT ANA 1000

DTR2

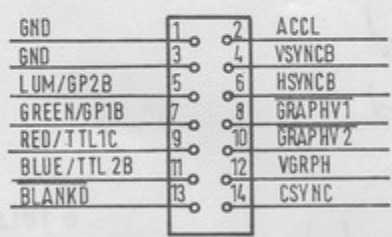
uic

KLT PANA DSR 2

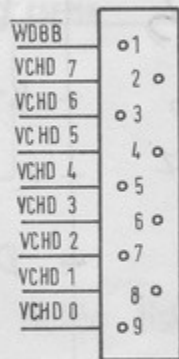
KIV



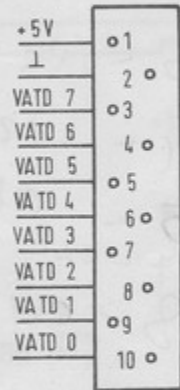
KIII



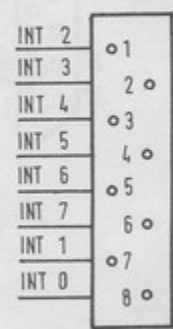
KV



KVI



KVII



KLT - T

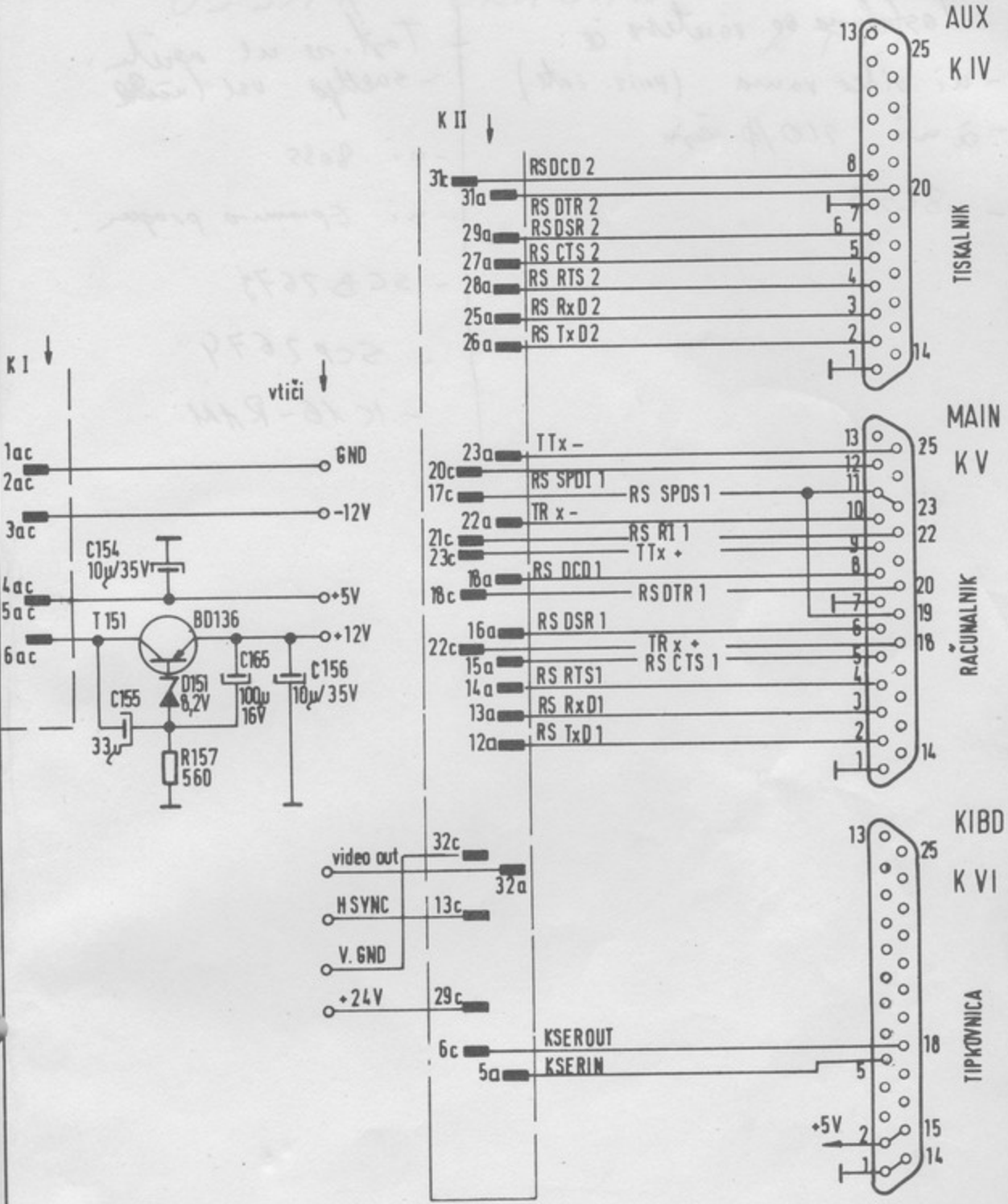
model di ce testira (Peh. 37) "Poko" (Bancini terminal) Li jf uamostu printirj

Printir 1		Racunirj 2
To ulja sano	2	3
ra Bancini terminal	3	2
na Testu e nato	4	X
T	59,870	20

Lokeluo		gltu
US ASII		US ASII
QWERTY		QWERTY
80		80
DA		DA
-		UF
DA		rent
TEMNO		DA
DA		NE
DA		NE
DA		DE:EE
DE:EE		DA OUT-kon
DA - OUT KON/YOFF		ANSI
ANSI		----
x x x x		DA
DA		0600
0600		0600
8		8
1		1
DA		DA
Lina		Lina
NE		NE
0600		0600
KON/YOFF		KON/YOFF
8		8
1		1
DA		DA
Lina, COLO, NE, NE,		Lina, COLO, NE, NE,

Printir, post ra Bancini terminal.

1 = GND		
2 - a26	- TX	vhod
3 - (a) c 25	- RX	vhod
4 - a28	- RTS	vhod
5 - a27	- CTS	vhod
4 - GND	- DCD	(vhod)
8 - a31		
20 - a29	- DSR	(vhod) drugi pin 6



Plošča tiskana PI

LIST 5

Priloga part 20 → DSR

Tastatura se ocuțerește de:

- ni video ramă (Horiz. cînt)
- a ni 910/φ cînt
- 8253

Tast. se uc reuțerește:

- suuțere uc (uc)
- ni 8085
- ni Epraua prou.
- SCB 2675
- SCP 2674
- IC 16-RAM

spouji ucoul uc tasta

Prily 1 → Pozi. 2

(5, 6, 8, 10) → 21

shift → enter

